

日本国特許庁

JAPAN PATENT OFFICE

Handwritten: 1/13 8/1/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 4月24日

出願番号

Application Number:

特願2001-125219

[ST.10/C]:

[JP2001-125219]

出願人

Applicant(s):

株式会社日立製作所

ASA-1050

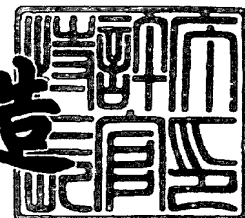
Serial No. 10/046,979

Filed: 01/17/02

2002年 1月11日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3114274

【書類名】 特許願

【整理番号】 H01003691A

【あて先】 特許庁長官 殿

【国際特許分類】 G03B 21/60

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

 【氏名】 豊田 善章

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

 【氏名】 糸賀 敏彦

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

 【氏名】 秋元 肇

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社 日立製作所

【代理人】

 【識別番号】 100075096

 【弁理士】

 【氏名又は名称】 作田 康夫

 【電話番号】 03-3212-1111

【手数料の表示】

 【予納台帳番号】 013088

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【ブルーフの要否】	要	

【書類名】 明細書

【発明の名称】 画像表示装置及びその製造方法

【特許請求の範囲】

【請求項 1】

基板上に複数の薄膜トランジスタと複数の容量素子を有する画像表示装置であって、前記基板上に、複数のゲート線と、該複数のゲート線にマトリクス状に交差する複数の信号線とを有し、前記薄膜トランジスタは、ソース領域、ドレイン領域、及びそれらに挟まれたチャネル領域を有する島状半導体層と、該島状半導体層と前記ゲート線と同層のゲート電極との間に形成された第 1 の絶縁膜と、前記島状半導体層上方に形成された層間絶縁膜と、該層間絶縁膜に設けられた開口部を通して前記ソース領域及び前記ドレイン領域と接触する信号線と同層のソース電極及びドレイン電極とを有しており、前記容量素子は、前記ゲート線と同層の保持電極と、該保持電極上に接して形成された第 2 の絶縁膜と、該第 2 の絶縁膜上に接して形成された前記信号線と同層の電極とで構成されていることを特徴とする画像表示装置。

【請求項 2】

前記第 2 の絶縁膜は前記第 1 の絶縁膜よりも比誘電率が高く、エッチングレートが低いことを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】

前記第 2 の絶縁膜は前記保持電極の酸化膜であることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 4】

前記ゲート電極の上部と側部に前記第 2 の絶縁膜が形成されていることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 5】

前記第 1 の絶縁膜と前記第 2 の絶縁膜が同じ高誘電率材料であることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 6】

前記第 1 の絶縁膜は酸化シリコン膜と高誘電率膜との積層膜であることを特徴

とする請求項 1 に記載の画像表示装置。

【請求項 7】

前記容量素子は、前記島状半導体層と、前記第 1 の絶縁膜と、前記保持電極とで構成される第 1 の容量素子と、前記保持電極と、該保持電極上に形成されており前記第 1 の絶縁膜よりも比誘電率が高い第 2 の絶縁膜と、該第 2 の絶縁膜上に直接形成された前記信号線と同層の電極とで構成される第 2 の容量素子との並列接続容量素子であることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 8】

画像表示情報を一時的に記憶するために容量とスイッチで構成されたフレームメモリを該基板上に有することを特徴とする請求項 1 に記載の画像表示装置。

【請求項 9】

前記フレームメモリを画素内に備えたことを特徴とする請求項 8 に記載の画像表示装置。

【請求項 10】

前記島状半導体層は島状ポリシリコン層であることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 11】

基板上に複数の薄膜トランジスタと複数の容量素子を有する画像表示装置であって、前記基板上に、複数のゲート線と、該複数のゲート線にマトリクス状に交差する複数の信号線とを有し、前記薄膜トランジスタは、ソース領域、ドレイン領域、及びそれらに挟まれたチャネル領域を有する島状半導体層と、該島状半導体層と前記ゲート線と同層のゲート電極との間に形成された第 1 の絶縁膜と、前記島状半導体層上方に形成された層間絶縁膜と、該層間絶縁膜に設けられた開口部を通して前記ソース領域及び前記ドレイン領域と接触する信号線と同層のソース電極及びドレイン電極とを有しており、前記容量素子は、前記ゲート線と同層の保持電極と、該保持電極及び前記層間絶縁膜上に接して形成された第 2 の絶縁膜と、該第 2 の絶縁膜上に接して形成された前記信号線と同層の電極とで構成されていることを特徴とする画像表示装置。

【請求項 12】

前記第 2 の絶縁膜は前記第 1 の絶縁膜よりも比誘電率が高いことを特徴とする請求項 1 1 に記載の画像表示装置。

【請求項 1 3】

前記第 2 の絶縁膜は有機材料からなる絶縁膜であることを特徴とする請求項 1 1 に記載の画像表示装置。

【請求項 1 4】

基板上に、複数の島状半導体層を形成する工程と、前記島状半導体層上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上にゲート電極と保持電極とを形成する工程と、前記島状半導体層にソース領域、ドレイン領域、及びそれらに挟まれたチャンネル領域を形成する工程と、前記保持電極上に第 2 の絶縁膜を形成する工程と、前記ゲート電極及び前記保持電極上方に層間絶縁膜を形成する工程と、コンタクトホール部の前記層間絶縁膜と前記保持電極上方の前記層間絶縁膜とを同時に除去する工程と、前記第 2 の絶縁膜上の電極と前記ソース領域、ドレイン領域と接続するソース電極、ドレイン電極とを同時に形成する工程とを含むことを特徴とする画像表示装置の製造方法。

【請求項 1 5】

前記保持電極上に第 2 の絶縁膜を形成する工程と同時に、前記ゲート電極上部と側部に前記第 2 の絶縁膜を形成することを特徴とする請求項 1 4 に記載の画像表示装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、コントラストが高く、低コストな画像表示装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

ポリシリコン薄膜トランジスタ（T F T と記す）は、優れた性能を有するため回路を構成できる。この特長を活かした例として、例えばソサイアティ フォア インフォメーション ディスプレイ インタナショナル シンポジウム ダイジ

エスト オブ テクニカル ペーパーズ 172頁 (Society for Information Display International Symposium Digest of Technical Papers p. 172) (1999) に記載されているアクティブマトリクス型液晶表示装置が挙げられる。この表示装置は、周辺駆動回路の一部をポリシリコンTFTで構成することにより、画素部と周辺駆動回路との接続端子数が低減でき、高精細な画像表示ができる。図2にポリシリコンTFTを用いた従来の液晶表示装置の構成図を示し、図3に画素40の平面レイアウト図を示す。

図2はゲートドライバ回路30とドレインドライバ回路31と画像表示部32とからなり、ゲートドライバ回路30及びドレインドライバ回路31はCMOSTFT33により構成される。画像表示部32はゲート線37と信号線38とがマトリクス状に形成されている。画像表示部32内の各画素は、それぞれ画素TFT34と、液晶印加電圧保持のための保持容量素子36とが構成されている。これらの素子は、それぞれ次のような機能を持つ。まず、ゲートドライバ回路30から画素TFT34のゲートに電圧が印加されソースドレイン間が道通状態となる。次に、ドレインドライバ回路31からの画像信号が画素TFT34を通じて液晶に印加され、信号電圧に対応した表示状態になる。この電圧は、次の周期で再びゲートに選択電圧が印加されるまで液晶容量素子35と保持容量素子36とによって保持される。この保持容量素子36を備えることにより、TFTのリーク電流による液晶印加電圧の低下を抑制でき、コントラストの高い液晶表示装置を提供できる。図4に図3中のA-A'での断面図を示す。前記液晶容量素子35は画素電極13-液晶層21-対向電極22で構成される容量素子である。画素電極13に信号電圧を印加し液晶の配向を変化させることにより、バックライト26からの光の透過率を制御し映像を表示する。

【0003】

ポリシリコンTFTを用いた従来の液晶表示装置では、バックライト26がポリシリコン層4に照射され光キャリアが励起されるためリーク電流が増加し、液晶印加電圧が低下するためコントラストが低下してしまう。液晶印加電圧の低下を抑制するために、保持容量を大きくする必要があるが、従来の保持容量素子

36は、図4に示すように、ポリシリコン層14-ゲート絶縁膜と同層の絶縁膜3-ゲート線と同層の保持電極8で形成される第1の容量素子と、ゲート線と同層の保持電極8-層間絶縁膜10および保護絶縁膜12-画素電極13で形成される第2の容量素子とで構成されており、この第2の容量素子の電極間隔が、前記第1の容量素子の電極間隔よりも10倍以上広いと、その容量は前記第1の容量素子の容量と比べると無視できるほど小さい。さらに、前記第1の容量素子の電極間隔は、ゲート絶縁膜の厚さで定められているため、容量を増加させるには面積を大きくしなければならない。しかし、保持容量素子の面積を大きくすると画素の開口率が低下し、逆にコントラストが低下してしまう。この問題は、解像度を上げるため画素面積を縮小するほど顕著になる。従って、単位面積あたりの容量を増加させる技術が必要である。

その対策として、特開平11-271812号公報記載のように、ゲート電極や保持電極を形成する金属膜、絶縁膜を積層し、同時にパターンニングすることにより、予めゲート線、ゲート電極、保持電極上に絶縁膜を形成しておき、保持電極上部の保護絶縁膜および層間絶縁膜をエッチングして、保持電極-絶縁膜-画素電極(ITO)で形成される保持容量素子を形成する方法がある。この方法によれば、前記第2の容量素子を構成する絶縁膜の膜厚を薄くすることにより保持容量を大きくできる。しかし、ITOエッチング液によって容量素子を形成する絶縁膜厚が不均一になる問題がある。また、ITOと絶縁膜との反応層が形成され、保持容量が低下してしまう問題がある。

【0004】

【発明が解決しようとする課題】

上記の問題を解決するためには、絶縁膜とITOとの間にバリアメタルを形成する必要がある。同特開平11-271812号公報に記載のように、予め保持電極上に絶縁膜と金属膜を積層しておき、保護絶縁膜と層間絶縁膜を除去した後、画素電極を形成する方法がある。この方法に依れば、金属膜がエッチストップパの役割を果たすので、その下部の絶縁膜の厚さを均一の維持することができる。しかしこの方法では、保持電極膜、絶縁膜、金属膜を積層し、この積層膜をパターンニングする工程と、信号線とゲート線とのコンタクトホール形成の際、金属膜

と絶縁膜のみをエッチングする工程が追加されるため、製造工程数が大幅に増加しスループットが低下してしまう。

【 0 0 0 5 】

また、特開平 1 1 - 2 7 1 8 1 2 号公報記載の方法では、保持容量素子を構成する画素電極が乗り越える段差が大きくなり、この段差によって画素電極の断線が生じてしまう。

本発明の目的は、保持容量素子の容量増大によりコントラストを向上させ、かつ製造コストの低い画像表示装置を提供することである。

【 0 0 0 6 】

【課題を解決するための手段】

本発明の画像表示装置は、表面が絶縁性である基板上に複数の薄膜トランジスタと複数の容量素子を有する画像表示装置であって、前記基板上に、複数のゲート線と、前記複数のゲート線にマトリクス状に交差する複数の信号線とを有し、前記薄膜トランジスタは、ソース領域、ドレイン領域、及びそれらに挟まれたチャネル領域を有する島状半導体層と、前記島状半導体層と前記ゲート線と同層のゲート電極との間に形成された第 1 の絶縁膜と、前記島状半導体層上方に形成された層間絶縁膜と、前記層間絶縁膜に設けられた開口部を通して前記ソース領域及び前記ドレイン領域と接触する信号線と同層のソース電極及びドレイン電極とを有しており、前記容量素子は、前記ゲート線と同層の保持電極と、前記保持電極上に接して形成された第 2 の絶縁膜と、前記第 2 の絶縁膜上に接して形成された前記信号線と同層の電極とで構成されていることを特徴とする。

前記保持電極上に接して形成された第 2 の絶縁膜と、前記第 2 の絶縁膜上に接して形成された前記信号線と同層の電極とで構成されている代わりに、前記保持電極及び前記層間絶縁膜上に接して形成された第 2 の絶縁膜と、該第 2 の絶縁膜上に接して形成された前記信号線と同層の電極とで構成されていても良い。

また、本発明の画像表示装置の製造方法は、基板上に、複数の島状半導体層を形成する工程と、前記島状半導体層上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上にゲート電極と保持電極とを形成する工程と、前記島状半導体層にソース領域、ドレイン領域、及びそれらに挟まれたチャネル領域を形成する工程と

、前記保持電極上に第2の絶縁膜を形成する工程と、前記ゲート電極及び前記保持電極上方に層間絶縁膜を形成する工程と、コンタクトホール部の前記層間絶縁膜と前記保持電極上方の前記層間絶縁膜とを同時に除去する工程と、前記第2の絶縁膜上の電極と前記ソース領域、ドレイン領域と接続するソース電極、ドレイン電極とを同時に形成する工程とを含むことを特徴とする。

これまでに提案された保持容量を増大させる手段は、開口率を少しでも向上させ、かつマスクを追加しないために、保持容量を形成する電極として画素電極（ITO）を用いる方法であった。しかしこの方法では、上述のように予め保持電極上に絶縁膜とバリアメタルを積層し加工するため、製造工程数が大幅に増加しスループットが低下してしまっていた。本発明は、保持容量素子の上部電極として信号線、ソース／ドレイン電極と同層の電極を用いており、ソース／ドレイン電極のバリアメタルとして、保持容量低下を防止する金属を選択することにより、単位面積あたりの容量が大幅に向上するため開口率を高くできる。さらに、ITOエッチング液による絶縁膜厚の不均一性も生じない。従って、コントラストが高く、かつスループットの向上により低価格な画像表示装置を提供できる。また、画素電極の乗り越え段差も減少でき、画素電極の断線を効果的に防止できる。上記構造にすることにより次のような利点も生じる。単位面積当たりの容量が大きいため、従来構造では実用上不可能であった画素部へのフレームメモリ内蔵が可能となる。メモリとしては、DRAM、FRAM（強誘電体メモリ）等が使用可能である。また、同様な効果によりパネル周辺部にメモリを内蔵した場合も小面積で高集積化が可能であるメリットもある。

【0007】

【発明の実施の形態】

本発明の実施形態を以下詳細に説明する。なお本発明は、TFTアクティブマトリクス回路と周辺駆動回路を同一基板上に形成した。

（実施例1）

本発明の第1の実施形態における画像表示装置の構成図は図3と同様である。図5は、画素40の平面レイアウト図である。図1は図5中のB-B'での断面図で、画素電極13形成後の構成を示す。画素TFT、そして保持電極8-第2の

絶縁膜 9 - ソース / ドレイン電極 1 1 で構成される保持容量素子をそれぞれ示す。これら T F T 及び保持容量素子の製造方法を図 6 に従って述べる。

歪点 6 7 0 ° C 以下のガラス基板 1 上に酸化シリコン膜からなるバッファ層 2 をプラズマ CVD 法により 3 0 0 n m 堆積し、さらにプラズマ CVD 法によりアモルファスシリコン層を 5 0 n m 堆積する。次に X e C l エキシマレーザを照射しアモルファスシリコン層を結晶化し、公知のホットエッチング工程により、島状のポリシリコン層 4 を形成する。その後、プラズマ CVD 法によりゲート絶縁膜となる第 1 の絶縁膜 3 (本実施例では酸化シリコン膜) を 1 0 0 n m 堆積する (図 6 (a))。さらにスパッタリング法によりゲート線、ゲート電極、保持電極となる A 1 を 2 5 0 n m 堆積し、公知のホットエッチング工程により A 1 をパターンニングしゲート電極 7 を形成すると同時に保持電極 8 を形成する。ゲート電極 7 及び保持電極 8 形成の後、n チャネル T F T に対してはゲート電極 7 をマスクとして、イオン打ち込みによって高抵抗 n 型ポリシリコン層 5 を形成の後、レジストをマスクとして低抵抗 n 型ポリシリコン層 6 を形成する。この時、高抵抗ポリシリコン層 5 の長さは 1 μ m とした。その後、図示はしていないが、T F T C M O S を構成するため、p チャネル T F T に対してはゲート電極 7 をマスクとして、イオン打ち込みによって低抵抗 p 型ポリシリコン層を形成する (図 6 (b))。プラズマ CVD 法により第 2 の絶縁膜 9 (本実施例では窒化シリコン膜) を 5 0 n m 堆積し、公知のホットエッチング工程によりパターンニングする (図 6 (c))。全体を覆うように酸化シリコンからなる膜厚 5 0 0 n m の層間絶縁膜 1 0 を形成し、公知のホットエッチング工程により酸化シリコンを除去しコンタクトスルーホールを開口する。この時、第 2 の絶縁膜上に形成された層間絶縁膜も同時にエッチングする。本実施例では、層間絶縁膜と第 1 の絶縁膜は同じ材料 (酸化シリコン) であるため、一度のエッチング工程によりコンタクトスルーホールが形成できる。また、第 2 の絶縁膜である窒化シリコン膜は、第 1 の絶縁膜である酸化シリコン膜よりもエッチングレートが低いため、コンタクトスルーホール開口時にはほとんどエッチングされず、第 2 の絶縁膜上の層間絶縁膜のみを選択的にエッチングできる。 (図 6 (d))。その後、T i - T i W - A l - T i W - T i の 5 層金属膜を形成し、公知のホットエッチング工程により、信号線を形成するのと同

時にソース／ドレイン電極 1 1 を形成する（図 6（e））。ここで最下層の T i は、低抵抗ポリシリコン層 6 と第 2 の絶縁膜上に形成されており、低抵抗ポリシリコン層 6 と A 1 とのコンタクト抵抗の低減、A 1 のポリシリコン中への拡散防止、低誘電体層形成による保持容量の低下防止等の役割を果たす。また最上層の T i は、画素電極 1 3 とのコンタクト抵抗を低減する役割を果たす。その後、全体を覆うように窒化シリコンよりなる膜厚 5 0 0 n m の保護絶縁膜 1 2 を形成し、さらに保護絶縁膜 1 2 に設けたコンタクトスルーホールを介して画素電極 1 3 とソース／ドレイン電極 1 1 とがコンタクトされる（図 1）。

本実施例に依れば、第 1 の絶縁膜と第 2 の絶縁膜を別々に形成できるため、第 2 の絶縁膜の比誘電率を第 1 の絶縁膜よりも高くでき、ポリシリコン膜－第 1 の絶縁膜－保持電極で形成される保持容量よりも、保持容量を増大できる。さらに、第 2 の絶縁膜の膜厚を第 1 の絶縁膜よりも薄くできるため、より容量を増大できる。従って、保持容量素子の面積を縮小でき、開口率の向上によりコントラストを向上できる。また、画素電極の乗り越え段差も従来程度であるため、画素電極の断線も効果的に防止できる。

また、本実施例に依れば、周辺駆動回路と画像表示部を同時に形成しているので、画像表示部と同様に、周辺駆動回路を構成する容量素子を小型化できる。従って、周辺駆動回路の面積を小さくでき、液晶表示装置の狭縁化が可能である。

（実施例 2）

図 7 は本発明第 2 の実施形態における図 5 中の B－B' での断面図で、画素電極 1 3 形成後の構成を示す。図 7 は、実施例 1 において第 2 の絶縁膜 9 をパターンニングする際、ゲート電極の上面及び側面に形成された部分を残した構造である。信号線とゲート線のコンタクト部分における第 2 の絶縁膜は除去する。本実施例に依れば、高抵抗ポリシリコン層 5 とゲート電極との間のフリンジ容量が増加し、高抵抗ポリシリコン層 5 の抵抗が低下するため、T F T の性能が向上する。

（実施例 3）

本発明の第 3 の実施例は、第 1 の実施例の製造工程を簡略化したもので断面図は図 7 と同様である。その製造方法を図 8 に従って述べる。

まず実施例 1 と同様に、ガラス基板 1 上にバッファ層 2、島状のポリシリコン層

4、第1の絶縁膜3（本実施例では酸化シリコン膜）を形成する（図8（a））。スパッタリング法によりゲート線、ゲート電極、保持電極となるA1を250nm堆積し、公知のホットエッチング工程によりA1をパターンニングしゲート電極7を形成すると同時に保持電極8を形成する。さらに、プラズマCVD法により第2の絶縁膜9（本実施例では窒化シリコン膜）を50nm堆積し、公知のホットエッチング工程によりパターンニングする（図8（b））。その後、pチャネルTFT及び容量素子の領域をレジストで覆い、リンイオンを打ち込む。この時、第2の絶縁膜下部はリンイオンのドーズ量が少なくなるので、高抵抗n型ポリシリコン層5と低抵抗n型ポリシリコン層6が同時に形成される。その後、図示はしていないが、TFTCMOSを構成するため、pチャネルTFTに対してはゲート電極7をマスクとして、イオン打ち込みによって低抵抗p型ポリシリコン層を形成する（図8（c））。その後、層間絶縁膜10を形成し、実施例1と同様の工程を経てコンタクトスルーホールを開口し（図8（d））、ソース／ドレイン電極11を形成する（図8（e））。その後、保護絶縁膜12、画素電極13を形成し図7の構造を得る。

本実施例に依れば、低抵抗n型ポリシリコン層と高抵抗n型ポリシリコン層を同時に形成できるので製造工程が簡略化できる。

（実施例4）

図9は本発明第2の実施形態における図5中のB-B'での断面図で、画素電極13形成後の構成を示す。画素TFT、そして保持電極8－第2の絶縁膜9－ソース／ドレイン電極11で構成される保持容量素子をそれぞれ示す。これらTFT及び保持容量素子の製造方法を図10に従って述べる。

まず実施例1と同様に、ガラス基板1上にバッファ層2、島状のポリシリコン層4、第1の絶縁膜3（本実施例では酸化シリコン膜）を形成する（図10（a））。スパッタリング法によりゲート線、ゲート電極、保持電極となるA1を300nm堆積し、公知のホットエッチング工程によりA1をパターンニングしゲート電極7を形成すると同時に保持電極8を形成する。さらに実施例1と同様に、高抵抗n型ポリシリコン層5、低抵抗n型ポリシリコン層6、そして低抵抗p型ポリシリコン層を形成する（図10（b））。次に、陽極酸化法によりゲート電

極 7 及び保持電極 8 を酸化し、第 2 の絶縁膜 9 (酸化アルミニウム膜) を形成した後、公知のホットエッチング工程によってゲート電極 7 及びゲート線 3 7、保持線 3 9 上に形成された第 2 の絶縁膜を除去する (図 1 0 (c))。その後、層間絶縁膜 1 0 を形成し、実施例 1 と同様の工程を経てコンタクトスルーホールを開口し (図 1 0 (d))、ソース/ドレイン電極 1 1 を形成する (図 1 0 (e))。その後、保護絶縁膜 1 2、画素電極 1 3 を形成し図 9 の構造を得る。

本実施例に依れば、保持電極を酸化して第 2 の絶縁膜を形成できるため、基板内の膜厚分布を高精度に制御できる。

(実施例 5)

図 1 1 は本発明第 5 の実施形態における図 5 中の B - B' での断面図で、画素電極 1 3 形成後の構成を示す。画素 T F T、そして保持電極 8 - 第 2 の絶縁膜 9 - ソース/ドレイン電極 1 1 で構成される保持容量素子をそれぞれ示す。これら T F T 及び保持容量素子の製造方法を図 1 2 に従って述べる。

まず実施例 1 と同様に、ガラス基板 1 上にバッファ層 2、島状のポリシリコン層 4 を形成し、その後ゲート絶縁膜となる第 1 の絶縁膜 3 (本実施例では酸化シリコン膜と酸化アルミニウム膜との積層膜) を 1 0 0 n m 形成する (図 1 2 (a))。この場合、第 1 の絶縁膜の容量は酸化シリコン膜と酸化アルミニウム膜との直列接続容量となるため、その等価的な比誘電率は、酸化アルミニウム膜の単層膜よりも低い。さらに実施例 1 と同様に、ゲート電極 7、保持電極 8 を形成し、高抵抗 n 型ポリシリコン層 5、低抵抗 n 型ポリシリコン層 6、そして低抵抗 p 型ポリシリコン層を形成する (図 1 2 (b))。次に、スパッタリング法により第 2 の絶縁膜 9 (本実施例では酸化アルミニウム膜) を 5 0 n m 堆積し、公知のホットエッチング工程によりパターンニングする。本実施例では、第 1 の絶縁膜の上層膜と第 2 の絶縁膜は同じ材料 (酸化アルミニウム) であるので低抵抗 n 型ポリシリコン層 6 上の酸化アルミニウム膜は除去される (図 1 2 (c))。その後、層間絶縁膜 1 0 を形成し、実施例 1 と同様の工程を経てコンタクトスルーホールを開口し (図 1 2 (d))、ソース/ドレイン電極 1 1 を形成する (図 1 2 (e))。その後、保護絶縁膜 1 2、画素電極 1 3 を形成し図 1 1 の構造を得る。

本実施例に依れば、ゲート絶縁膜の上層に比誘電率が高い酸化アルミニウム膜を

用いることによりゲート容量が増大し、T F Tの性能が向上する。また、ゲート絶縁膜の下層に酸化シリコン膜を用いることによりポリシリコンとゲート絶縁膜との界面準位を低減でき、T F Tの信頼性が向上する。従って、ゲート絶縁膜の上層を高誘電率膜、下層を酸化シリコン膜とすることにより、T F Tの高性能化と高信頼化が実現できる。

(実施例 6)

図 1 3 は本発明第 6 の実施形態における図 5 中の B - B' での断面図で、画素電極 1 3 形成後の構成を示す。図 1 3 は、実施例 5 において第 2 の絶縁膜 9 をパターンニングする際、ゲート電極の上面及び側面に形成された部分を残した構造である。信号線とゲート線のコンタクト部分における第 2 の絶縁膜は除去する。本実施例に依れば、高抵抗ポリシリコン層 5 とゲート電極との間のフリンジ容量が増加し、高抵抗ポリシリコン層 5 の抵抗が低下するため、T F Tの性能がさらに向上する。

(実施例 7)

本発明の第 7 の実施例は、第 1 の実施例の製造工程を簡略化したもので断面図は図 1 3 と同様である。その製造方法を図 1 4 に従って述べる。

まず実施例 1 と同様に、ガラス基板 1 上にバッファ層 2、島状のポリシリコン層 4 を形成し、その後ゲート絶縁膜となる第 1 の絶縁膜 3 (本実施例では酸化シリコン膜と酸化アルミニウム膜との積層膜) を 1 0 0 n m 形成する (図 1 4 (a))。スパッタリング法によりゲート線、ゲート電極、保持電極となる A 1 を 2 5 0 n m 堆積し、公知のホットエッチング工程により A 1 をパターンニングしゲート電極 7 を形成すると同時に保持電極 8 を形成する。さらに、スパッタリング法により第 2 の絶縁膜 9 (本実施例では酸化アルミニウム膜) を 5 0 n m 堆積し (図 1 4 (b))、公知のホットエッチング工程によりパターンニングする (図 1 4 (c))。その後、p チャネル T F T 及び容量素子の領域をレジストで覆い、リンイオンを打ち込む。この時、第 2 の絶縁膜下部はリンイオンのドーズ量が少なくなるので、高抵抗 n 型ポリシリコン層 5 と低抵抗 n 型ポリシリコン層 6 が同時に形成される。その後、図示はしていないが、T F T C M O S を構成するため、p チャネル T F T に対してはゲート電極 7 をマスクとして、イオン打ち込みによって低

抵抗p型ポリシリコン層を形成する（図14（d））。その後、層間絶縁膜10を形成し、実施例1と同様の工程を経てコンタクトスルーホールを開口し（図14（e））、ソース／ドレイン電極11を形成する（図14（f））。その後、保護絶縁膜12、画素電極13を形成し図13の構造を得る。

本実施例に依れば、低抵抗n型ポリシリコン層と高抵抗n型ポリシリコン層を同時に形成できるので製造工程が簡略化できる。さらに、イオン打ち込み時のポリシリコン上の絶縁膜厚が薄いため、打ち込みエネルギーを低くすることにより、打ち込みダメージを低減できる。

（実施例8）

図15は本発明第8の実施形態における図5中のB-B'での断面図で、画素電極13形成後の構成を示す。画素TFT、そして保持電極8－第2の絶縁膜9－ソース／ドレイン電極11で構成される保持容量素子をそれぞれ示す。これらTFT及び保持容量素子の製造方法を図16に従って述べる。

まず実施例1と同様に、ガラス基板1上にバッファ層2、島状のポリシリコン層4を形成し、その後ゲート絶縁膜となる第1の絶縁膜3（本実施例では酸化アルミニウム膜）を100nm形成する（図16（a））。さらに実施例1と同様に、ゲート電極7、保持電極8を形成し、高抵抗n型ポリシリコン層5、低抵抗n型ポリシリコン層6、そして低抵抗p型ポリシリコン層を形成する（図16（b））。スパッタリング法により第2の絶縁膜9（本実施例では酸化アルミニウム膜）を50nm堆積し、次に層間絶縁膜10を形成する。その後、コンタクト開口部と保持電極上の層間絶縁膜をドライエッチングにより除去する（図16（c））。さらに、保持電極上の第2の絶縁膜をレジストで覆い、コンタクト開口部の第1及び第2の絶縁膜を除去し、コンタクトホールを開口する（図16（d））。その後、実施例1と同様の工程を経てソース／ドレイン電極11を形成する（図16（e））。その後、保護絶縁膜12、画素電極13を形成し図15の構造を得る。

本実施例に依れば、第2の絶縁膜が層間絶縁膜に対して十分なエッチング選択比を有しており、層間絶縁膜除去時に過エッチングによりポリシリコン膜が削れることがないため、ドライエッチングによりコンタクトホール開口部の層間絶縁膜

を除去できる。従って、コンタクト径を微細化できるため回路の集積度が向上し、周辺駆動回路を小型化できる。

(実施例 9)

図 1 7 は本発明第 9 の実施形態における図 5 中の B - B' での断面図で、画素電極 1 3 形成後の構成を示す。画素 T F T、そして保持電極 8 - 第 2 の絶縁膜 9 - ソース/ドレイン電極 1 1 で構成される保持容量素子をそれぞれ示す。これら T F T 及び保持容量素子の製造方法を図 1 8 に従って述べる。

まず実施例 1 と同様に、ガラス基板 1 上にバッファ層 2、島状のポリシリコン層 4 を形成し、その後ゲート絶縁膜となる第 1 の絶縁膜 3 (本実施例では酸化シリコン膜と酸化アルミニウム膜との積層膜) を 1 0 0 n m 形成する (図 1 8 (a))。さらに実施例 1 と同様に、ゲート電極 7、保持電極 8 を形成し、高抵抗 n 型ポリシリコン層 5、低抵抗 n 型ポリシリコン層 6、そして低抵抗 p 型ポリシリコン層を形成する (図 1 8 (b))。次に、全体を覆うように酸化シリコンからなる膜厚 5 0 0 n m の層間絶縁膜 1 0 を形成する。その後、コンタクト開口部と保持電極上の層間絶縁膜をドライエッチングにより除去する (図 1 8 (c))。さらに、コンタクト開口部の第 1 の絶縁膜を除去し、コンタクトホールを開口する (図 1 8 (d))。スパッタリング法により第 2 の絶縁膜 9 (本実施例では酸化アルミニウム膜) を 5 0 n m 堆積し、公知のホットエッチング工程によりパターニングする (図 1 8 (e))。その後、実施例 1 と同様の工程を経てソース/ドレイン電極 1 1 を形成する (図 1 8 (f))。さらに、保護絶縁膜 1 2、画素電極 1 3 を形成し図 1 7 の構造を得る。

本実施例に依れば、第 1 の絶縁膜が層間絶縁膜に対して十分なエッチング選択比を有しており、層間絶縁膜除去時に過エッチングによりポリシリコン膜が削れることがないため、ドライエッチングによりコンタクトホール開口部の層間絶縁膜を除去できる。従って、コンタクト径を微細化できるため回路の集積度が向上し、周辺駆動回路を小型化できる。

本実施例に依れば、層間絶縁膜を除去した後、第 2 の絶縁膜を形成するため、層間絶縁膜をエッチングする際に第 2 の絶縁膜が受けるダメージを回避できる。従って、比誘電率、耐圧低下の抑制に効果的である。

また、本実施例に依れば、不純物活性化の後、保持電極上の層間絶縁膜を除去し、第2の絶縁膜を形成するため、第2の絶縁膜に加えられる最高処理温度を100℃程度にすることが可能である。従って、有機材料からなる絶縁膜を第2の絶縁膜に用いた場合にも、熱処理によって膜が熱分解されることはなく、容量素子に適用できる。有機材料を用いれば、ベンゼン環の π 電子を利用して大容量化が可能である。また、水素終端アニール処理によりTFT特性を向上させるために、有機材料の耐熱温度は200℃以上が望ましい。

(実施例10)

図19は本発明第10の実施形態における図5中のB-B'での断面図で、画素電極13形成後の構成を示す。画素TFT、そしてポリシリコン層14-第1の絶縁膜3-保持電極8で構成される第1の容量素子と、保持電極8-第2の絶縁膜9-ソース/ドレイン電極11で構成される第2の容量素子との並列容量素子をそれぞれ示す。

本実施例は、保持容量素子下部にポリシリコン層がパターンニングされており、ポリシリコン層14-第1の絶縁膜3-保持電極8からなる保持容量素子が形成されていることを除けば、実施例1と同様である。本実施例に依る保持容量素子は、ポリシリコン層14-第1の絶縁膜3-保持電極8で構成される第1の容量素子と、保持電極8-第2の絶縁膜9-ソース/ドレイン電極11で構成される第2の容量素子との並列容量素子となり、実施例1よりも容量を増大でき、コントラストが向上する。

もちろん本実施例を、上記実施例2から実施例9と組み合わせることにより、それぞれ容量が増大し、コントラストが向上する。

(実施例11)

本発明の第11の実施形態における画像表示装置の構成図は図3と同様である。図20は、画素40の平面レイアウト図である。図21は図20中のC-C'での断面図で、画素電極13形成後の構成を示す。図21は、TFTと容量素子とが画素電極を介して接続されていることを除けば、実施例1の構造と同様である。

本実施例に依れば、TFTと容量素子とが画素電極を介して接続されている。従

って、T F Tと容量素子との間の領域も光が透過し開口率が向上する。なお、本実施例の構造は、実施例 2 から実施例 1 0 に対しても同様の効果がある。

(実施例 1 2)

本発明の第 1 2 の実施形態における画像表示装置の構成図は図 3 と同様である。図 2 2 は、画素 4 0 の平面レイアウト図である。図 2 3 は図 2 2 中の D - D' で
の断面図で、画素電極 1 3 形成後の構成を示す。図 2 3 は、保持電極の全領域を用いて第 2 の絶縁膜を介した容量が形成されていることを除けば、実施例 1 の構造と同様である。

本実施例に依れば、保持電極の全領域を用いて第 2 の絶縁膜を介した容量が形成でき、容量素子の面積をより縮小できる。従って、開口率が向上する。なお、本実施例の構造は、実施例 2 から実施例 1 0 に対しても同様の効果がある。

(実施例 1 3)

図 2 4 は実施例 1 から 1 2 に記載の T F T 駆動画像表示装置の回路構成を示すブロック図である。実施例 1 から 1 2 に記載の T F T 及び容量素子等を用いて、図 2 4 に示すような T F T 駆動回路を構成できる。すなわち、画像表示部 3 2 の各画素 T F T 3 4 の制御は、コントロール回路 7 4 によって制御されるドレインドライバ回路 3 1 及びゲートドライバ回路 3 0 によって行われる。コントロール回路 7 4 は L S I により実装されているメイン回路 7 3 によって制御される。メイン回路 7 3、コントロール回路 7 4 は電源回路 7 2 から電源を供給される。この電源回路 7 2 は、ゲート線と信号線との交差部に実施例 1 から 9 に記載の容量素子を有しており、容量は約 5 0 0 n F と大きく、電圧を安定化させる役割を果たしている。このように大きな容量を形成する場合、本発明は、容量素子の電極間隔を狭く、絶縁膜の比誘電率を高くできるため素子面積を小さくでき、周辺回路が小型化できる。さらに、容量素子を構成する電極は低抵抗であり、優れた周波数特性を有している。また、この容量を、コントロール回路 7 4、ドレインドライバ回路 3 1、ゲートドライバ回路 3 0 等に備えることによっても同様の効果が得られる。

本実施例に依れば、画像表示部 3 2 とコントロール回路 7 4、ドレインドライバ回路 3 1、ゲートドライバ回路 3 0、電源回路 7 2 を同一ガラス基板上に形成し

、画像表示パネルに諸回路を内蔵することにより、周辺部の実装基板化が可能となり、画像表示装置の低コスト化と高信頼性を実現できる。

(実施例 1 4)

図 2 5 は本発明第 1 4 の実施形態における画像表示装置の構成図である。液晶容量素子 35 と保持容量素子 3 6 と画素 T F T 3 4 を有する画素がマトリクス状に配置され、画素 T F T 3 4 のゲートはゲート線 3 7 を介してゲート線シフトレジスタ 1 0 5 に接続されている。また画素 T F T 3 4 のドレインは信号線 3 8 を介して D A 変換器 1 0 6 に接続されている。一方マトリクス状に配置されたフレームメモリのメモリセルはメモリ容量 1 1 1 とメモリスイッチ 1 1 2 とから構成されており、メモリスイッチ 1 1 2 のゲートはワード線 1 1 3 とその一端に設けられたワード線選択スイッチ 1 1 5 を介してワード線シフトレジスタ 1 1 4 に接続されている。一方各メモリスイッチの一端はデータ線 1 1 6 に接続されており、データ線 1 1 6 の一端にはデータ入力回路 1 1 7 が、他端にはセンスアンプ 1 0 8 とラッチ回路 1 0 7 が設けられている。ラッチ回路 1 0 7 の出力は前記 D A 変換器 1 0 6 に接続されている。以上の各構成要素は、同一基板上に p o l y - S i T F T を用いて構成されている。

図 2 6 は図 2 5 中のメモリセル 1 1 0 の平面レイアウト図を示す。図 2 7 は図 2 6 中の E - E ' での断面図を示す。メモリ容量 1 1 1 の構造は実施例 1 と同様であり、保持電極 8 - 第 2 の絶縁膜 9 - ソース / ドレイン電極 1 1 で構成される容量素子である。

以下、本実施例の動作を説明する。書込み時には一般の D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y) と同様に、ワード線シフトレジスタ 1 1 4 、ワード線選択スイッチ 1 1 5 によって選択された行のメモリセルには、データ入力回路 1 1 7 から画像データが書込まれる。また同様にワード線シフトレジスタ 1 1 4 、ワード線選択スイッチ 1 1 5 によって選択された行のメモリセルの画像データはデータ線 1 1 6 を介してセンスアンプ 1 0 8 に入力され、ラッチ回路 1 0 7 でラッチされる。ラッチされた画像データは D A 変換器 1 0 6 でアナログ信号に変換され、このアナログ信号は信号線 3 8 に出力される。このときワード線シフトレジスタ 1 1 4 に同期してゲート線シフトレジスタ 1 0 5 が

走査され、ゲート線シフトレジスタ 1 0 5 はゲート線 3 7 を介して、所定の行の画素 T F T 3 4 をオンに設定する。これによって上記アナログ信号は所定の画素の液晶容量 3 5 に書き込まれ、読み出された画像データに基づく液晶を用いた画像表示が可能となる。

なお本実施例に関しては、例えば特開平 1 1 - 8 5 0 6 5 号公報に詳しく記載されている。

本実施例に依れば、周辺回路に D R A M を内蔵することにより、画像表示装置の低消費電力化が可能である。このように周辺回路に D R A M を内蔵した場合、本発明は単位面積あたりの容量を大きくできるためメモリ素子の面積を小さくできる。従って、周辺回路を小型化できる。

(実施例 1 5)

図 2 8 は本発明第 1 5 の実施形態における画像表示装置の構成図である。画素電極 2 2 4 と対向電極 2 2 5 の間に液晶容量を有する画素 2 3 0 が、表示部にマトリクス状に配置され、画素 2 3 0 はゲート線 2 3 1 を介してゲート線駆動回路 2 3 5 に、及び信号線 2 3 2 を介して信号線駆動回路 2 3 4 に接続されている。画素 2 3 0 にはデータ入力スイッチ 2 2 1 及び保持容量 2 2 2 で構成された D R A M が設けられており、データ入力スイッチ 2 2 1 の他端は信号線 2 3 2 に接続されている。またこの D R A M のデータノードは画素駆動スイッチ 2 2 3 のゲートに接続され、前述の液晶容量は画素駆動スイッチ 2 2 3 を介して、共通電極線 2 3 3 に接続される。なお共通電極線 2 3 3 は共通電極駆動回路 2 3 7 に、対向電極 2 2 5 は対向電極駆動回路 2 3 6 に接続されている。

【 0 0 0 8 】

図 2 9 に図 2 8 に示した画素 2 3 0 の平面レイアウト図を示す。図 3 0 は図 2 9 中の F - F ' での断面図を示す。保持容量 2 2 2 の構造は実施例 1 と同様であり、保持電極 8 - 第 2 の絶縁膜 9 - ソース / ドレイン電極 1 1 で構成される容量素子である。

以下、本実施例の動作を説明する。ゲート線駆動回路 2 3 5 がゲート線 2 3 1 を介して所定の画素行のデータ入力スイッチ 2 2 1 を開閉することによって、信号線駆動回路 2 3 4 が信号線 2 3 2 に出力した 1 ビットの画像データは、データ

入力スイッチ 2 2 1 及び保持容量 2 2 2 で構成された D R A M に入力される。この D R A M に書き込まれた画像データによって、画素駆動スイッチ 2 2 3 はオンないしオフ状態に固定されることになる。ここで対向電極 2 2 5 には対向電極駆動回路 2 3 6 から交流電圧が印加され、共通電極線 2 3 3 には共通電極駆動回路 2 3 7 より所定の電圧が印加されているため、画素駆動スイッチ 2 2 3 がオンの場合には画素電極 2 2 4 と対向電極 2 2 5 の間の液晶容量には交流電圧が印加され、画素駆動スイッチ 2 2 3 がオフの場合には液晶容量には常に電圧は印加されない。これによって本液晶表示パネルは、D R A M のデータがリーク電流によって失われるまでの期間、ゲート線駆動回路 2 3 5 によるゲート線 2 3 1 走査、及び信号線駆動回路 2 3 4 による信号線 2 3 2 へのデータ出力を停止しても、1 ビットの画像表示を継続することができる。この画像データを静的に維持するためには、周期的に適宜ゲート線駆動回路 2 3 5 によるゲート線 2 3 1 走査、及び信号線駆動回路 2 3 4 による信号線 2 3 2 へのデータ出力を行って D R A M を再書き込みすれば良い。

このような本実施例画像表示装置に関しては、例えば特開平 9 - 2 5 8 1 6 8 号公報等に詳しく記載されている。

【 0 0 0 9 】

本実施例に依れば、画素に D R A M を内蔵することにより、画像表示装置の低消費電力化が可能である。このように画素に D R A M を内蔵した場合、本発明は単位面積あたりの容量を大きくできるため保持容量素子の面積を小さくできる。従って、開口率を向上できる。

(実施例 1 6)

図 3 1 は本発明の第 1 6 の実施例であるシステムオンパネルを示すレイアウト図である。実施例 1 3 から実施例 1 5 を改良して、図 3 1 に示すシステムオンパネルを構成できる。

このシステムオンパネルは、矩形状の表示部 8 0 の周囲に、TFT 駆動回路 8 1、8 2、8 3、光センサ制御ユニット 8 4、TFT 通信回路 8 5、TFT D R A M 8 6、T F T S R A M 8 7、TFT プロセッサ 8 8、TFT 駆動回路 8 9 を配置した構成になっている。これら各部は 1 枚のガラス基板に組み込まれ、T F T 及び容量素子は実施例 1 か

ら 5 に記載のもので構成されている。従って、高性能で小型のシステムオンパネルとなる。

以上実施例 1 から実施例 1 6 に記載の画像表示装置において、基板は石英ガラスやプラスチックのような他の絶縁性基板であってもよい。また、バッファ層としては、酸化シリコン膜の代わりに窒化シリコン膜あるいは酸化シリコン膜と窒化シリコン膜との積層膜を用いても良い。窒化シリコン膜をバッファ層として用いれば、ガラス基板内の不純物がゲート絶縁膜中に拡散侵入するのを効果的に防止できる。

アモルファスシリコンの堆積方法は減圧 C V D 法であっても良いし、アモルファスシリコンの結晶化法は熱アニールによる固相成長法でも良いし、熱アニールとレーザアニールの組み合わせであっても良い。

ソース／ドレイン電極のバリアメタルは、Ti、TiW、TiN、W、Cr、Mo、Ta、Nb、V、Zr、Hf、Pt、Ru 等の金属、またはそれらの合金でも良い。なお、バリアメタルとしては、ポリシリコン層への拡散を防止し、ポリシリコン層との接触抵抗を低減する役割を果たし、かつ高誘電率膜と反応層を形成しない金属材料が望ましい。

実施例 1 から実施例 3 に記載の画像表示装置において、ゲート電極の材料は、Al、Ti、Ta 等公知の電極材料であっても良い。また、第 2 の絶縁膜の材料は、 Al_2O_3 、 Y_2O_3 、 La_2O_3 、 Ta_2O_5 、 ZrO_2 、 $LaAlO_3$ 、 $ZrTiO_4$ 、 HfO_2 、 $SrZrO_3$ 、 TiO_2 、 $SrTiO_3$ 、 $SrBi_2Ta_2O_9$ 、 $(Ba_xSr_{1-x})TiO_3$ 、 $Pb(Zr_yTi_{1-y})O_3$ 等の公知の高誘電率材料であっても良い。また、第 1 の絶縁膜は上記のような公知の高誘電率材料であっても良い。この場合、層間絶縁膜の除去とゲート絶縁膜の除去を別工程で行うため、コンタクトホール開口工程をドライエッチングで行うことができ、コンタクト径を微細化できる。また、第 2 の絶縁膜は PZT、PLZT、 $BaTiO_3$ 、 $PbTiO_3$ 、 $Bi_4Ti_3O_{12}$ 等の強誘電体膜であっても良い。この場合、保持容量素子がメモリ性を持つため、駆動周波数を低減でき、低消費電力化が可能である。

実施例 2 及び実施例 6 の画像表示装置において、高抵抗ポリシリコン層 5 は、第 2 の絶縁膜に自己整合的には形成されていないため、両者の形成領域は必ずしも

一致するものではない。

実施例 4 に記載の画像表示装置において、ゲート電極の材料は、Ti、Zr、Hf、Ta、Nb またはそれらの合金等、その酸化膜が高誘電率材料である公知の電極材料であっても良い。また酸化の方法は、酸素プラズマ処理であっても良い。また、その製造方法は、コンタクトスルーホール開口と同時に保持電極上の層間絶縁膜を除去した後、保持電極を酸化しても良い。ゲート電極及びゲート線上の酸化膜を除去する工程が省略でき、製造工程を簡略化できる。

実施例 5 に記載の画像表示装置において、第 1 の絶縁膜は、公知の高誘電率材料の単層膜であっても良い。ゲート容量が増大し、TFT の性能が向上する。また、低抵抗 n 型ポリシリコン層 6 上に、ゲート電極 7 下部に形成された第 2 の絶縁よりも膜厚が薄い第 2 の絶縁膜が形成されていても良い。この場合、コンタクトホール開口工程をドライエッチングで行うことができ、コンタクト径を微細化できる。

【 0 0 1 0 】

実施例 5 から実施例 7 に記載の画像表示装置において、第 1 の絶縁膜の上層と第 2 の絶縁膜は窒化シリコン膜であっても良いし、他の公知の高誘電率材料であっても良い。また、それぞれ異なる材料であっても良い。コンタクトホール開口工程をドライエッチングで行うことができ、コンタクト径を微細化できる。

【 0 0 1 1 】

実施例 8 に記載の画像表示装置において、第 1 の絶縁膜と第 2 の絶縁膜は、他の公知の高誘電率材料であっても良いし、それぞれ異なる高誘電率材料であっても良い。また、第 1 の絶縁膜は酸化シリコン膜であっても良い。

【 0 0 1 2 】

実施例 9 に記載の画像表示装置において、第 1 の絶縁膜は、酸化シリコン膜または公知の高誘電率材料の単層膜であっても良い。

実施例 1 4 に記載の画像表示装置において、メモリセル及び画素を構成する容量素子の断面構造と画素の平面レイアウトは、実施例 1 から実施例 9、実施例 1 1、実施例 1 2 に記載のいずれであっても良い。

実施例 1 5 に記載の画像表示装置において、画素を構成する容量素子の断面構造

及び画素の平面レイアウトは、実施例 1 から実施例 1 2 に記載のいずれであっても良い。また、第 2 の絶縁膜を公知の強誘電体膜とすることにより強誘電体メモリを形成できる。また、第 2 の絶縁膜を Ge-Sb-Te 系の相変化膜とすることにより相変化メモリを形成できる。また、第 2 の絶縁膜の代わりに、Ni、Fe、Co の合金等から成る一対の強磁性材料とその間の非磁性材料を備えることにより MRAM を形成できる。

また本発明は、コントラストを従来と同程度に設計した場合、開口率の向上によりバックライトの電力を下げることができ、装置の低消費電力化が可能である。本発明は、エレクトロルミネッセンスを利用した画像表示装置のように、各画素に信号電圧を保持するための保持容量素子を備えたすべての画像表示装置に適用できる。

なお、本実施例はトップゲート型 TFT を用いた画像表示装置についての記載であったが、本発明はボトムゲート型 TFT を用いた画像表示装置にも適用できる。また、保持電極として前段のゲート線の一部を用いることも可能である。さらに本発明は、半導体集積回路、携帯機器等にも適用できる。

【 0 0 1 3 】

【発明の効果】

本発明は、ゲート線と同層の電極と信号線と同層の電極及びその間の絶縁膜で構成される容量素子を備えることにより、コントラストが高く、かつ製造コストの低い画像表示装置を提供できる。

【図面の簡単な説明】

【図 1】

実施例 1 の薄膜トランジスタ及び容量素子の断面図。

【図 2】

従来の液晶表示装置の構成図。

【図 3】

従来の液晶表示装置における画素の平面レイアウト図。

【図 4】

従来の液晶表示装置の断面図。

【図 5】

本発明に係る液晶表示装置における画素の平面レイアウト図。

【図 6】

実施例 1 の製造工程を示す断面図。

【図 7】

実施例 2 及び実施例 3 の薄膜トランジスタ及び容量素子の断面図。

【図 8】

実施例 3 の製造工程を示す断面図。

【図 9】

実施例 4 の薄膜トランジスタ及び容量素子の断面図。

【図 1 0】

実施例 4 の製造工程を示す断面図。

【図 1 1】

実施例 5 の薄膜トランジスタ及び容量素子の断面図。

【図 1 2】

実施例 5 の製造工程を示す断面図。

【図 1 3】

実施例 6 及び実施例 7 の薄膜トランジスタ及び容量素子の断面図。

【図 1 4】

実施例 7 の製造工程を示す断面図。

【図 1 5】

実施例 8 の薄膜トランジスタ及び容量素子の断面図。

【図 1 6】

実施例 8 の製造工程を示す断面図。

【図 1 7】

実施例 9 の薄膜トランジスタ及び容量素子の断面図。

【図 1 8】

実施例 9 の製造工程を示す断面図。

【図 1 9】

実施例 1 0 の薄膜トランジスタ及び容量素子の断面図。

【図 2 0】

実施例 1 1 の液晶表示装置における画素の平面レイアウト図。

【図 2 1】

実施例 1 1 の画素を構成する薄膜トランジスタ及び容量素子の断面図。

【図 2 2】

実施例 1 2 の液晶表示装置における画素の平面レイアウト図。

【図 2 3】

実施例 1 2 の画素を構成する薄膜トランジスタ及び容量素子の断面図。

【図 2 4】

実施例 1 3 に係る液晶表示装置の回路ブロック図。

【図 2 5】

実施例 1 4 に係る液晶表示装置の構成図。

【図 2 6】

実施例 1 4 に係る液晶表示装置におけるメモリセルの平面レイアウト図。

【図 2 7】

実施例 1 4 のメモリセルを構成する薄膜トランジスタ及び容量素子の断面図。

【図 2 8】

実施例 1 5 に係る液晶表示装置の構成図。

【図 2 9】

実施例 1 5 に係る液晶表示装置における画素の平面レイアウト図。

【図 3 0】

実施例 1 5 の画素を構成する薄膜トランジスタ及び容量素子の断面図。

【図 3 1】

本発明に係る液晶表示装置をシステムオンパネルとした実施例 1 6 のレイアウト図。

【符号の説明】

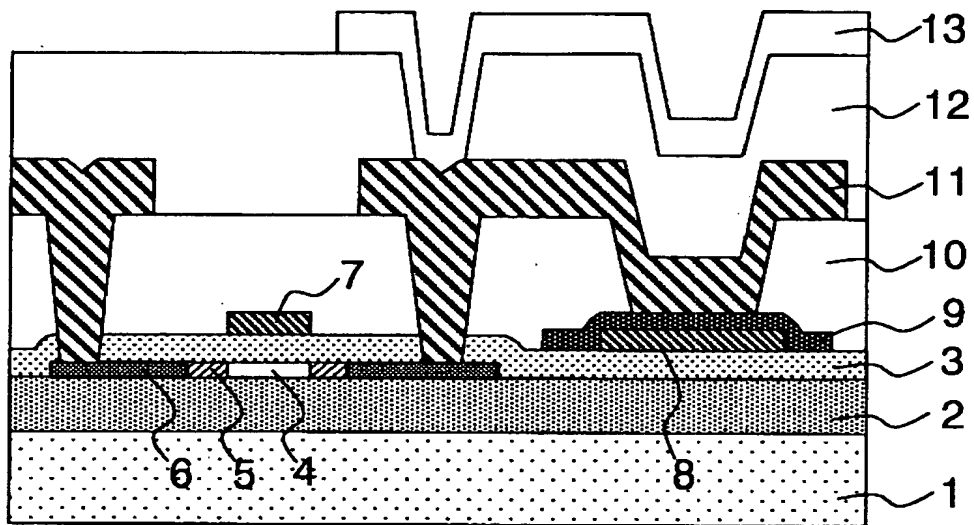
1 … ガラス基板、 2 … バッファ層、 3 … 第 1 の絶縁膜、 4 … ポリシリコン層、 5 … 高抵抗 n 型ポリシリコン層、 6 … 低抵抗 n 型ポリシリコン層、 7 … ゲート電極

、 8 … 保持電極、 9 … 第 2 の絶縁膜、 1 0 … 層間絶縁膜、 1 1 … ソース／ドレイン電極、 1 2 … 保護絶縁膜、 1 3 … 画素電極、 1 4 … ポリシリコン層、 1 5 … 容量素子の上部電極、 2 0 … 配向膜、 2 1 … 液晶層、 2 2 … 対向電極、 2 3 … カラーフィルタ、 2 4 … 対向基板、 2 5 … 偏光板、 2 6 … バックライト、 3 0 … ゲートドライバ回路、 3 1 … ドレインドライバ回路、 3 2 … 画像表示部、 3 3 … CMOS TFT、 3 4 … 画素 TFT、 3 5 … 液晶容量素子、 3 6 … 保持容量素子、 3 7 … ゲート線、 3 8 … 信号線、 3 9 … 保持線、 4 0 … 画素、 7 2 … 電源回路、 7 3 … メイン回路、 7 4 … コントロール回路、 7 5 … 容量素子、 8 0 … パネル表示部、 8 1 … TFT駆動回路、 8 2 … TFT駆動回路、 8 3 … TFT駆動回路、 8 4 … 光センサ制御ユニット、 8 5 … TFT通信回路、 8 6 … TFTDRAM、 8 7 … TFTSRAM、 8 8 … TFTプロセッサ、 8 9 … TFT駆動回路、 1 0 5 … ゲート線シフトレジスタ、 1 0 6 … D/A変換器、 1 0 7 … ラッチ回路、 1 0 8 … センスアンプ、 1 1 0 … メモリセル、 1 1 1 … メモリ容量、 1 1 2 … メモリスイッチ、 1 1 3 … ワード線、 1 1 4 … ワード線シフトレジスタ、 1 1 5 … ワード線選択スイッチ、 1 1 6 … データ線、 1 1 7 … データ入力回路、 2 2 1 … データ入力スイッチ、 2 2 2 … 保持容量、 2 2 3 … 画素駆動スイッチ、 2 2 4 … 画素電極、 2 2 5 … 対向電極、 2 3 0 … 画素、 2 3 1 … ゲート線、 2 3 2 … 信号線、 2 3 3 … 共通電極線、 2 3 4 … 信号線駆動回路、 2 3 5 … ゲート線駆動回路、 2 3 6 … 対向電極駆動回路、 2 3 7 … 共通電極駆動回路。

【書類名】 図面

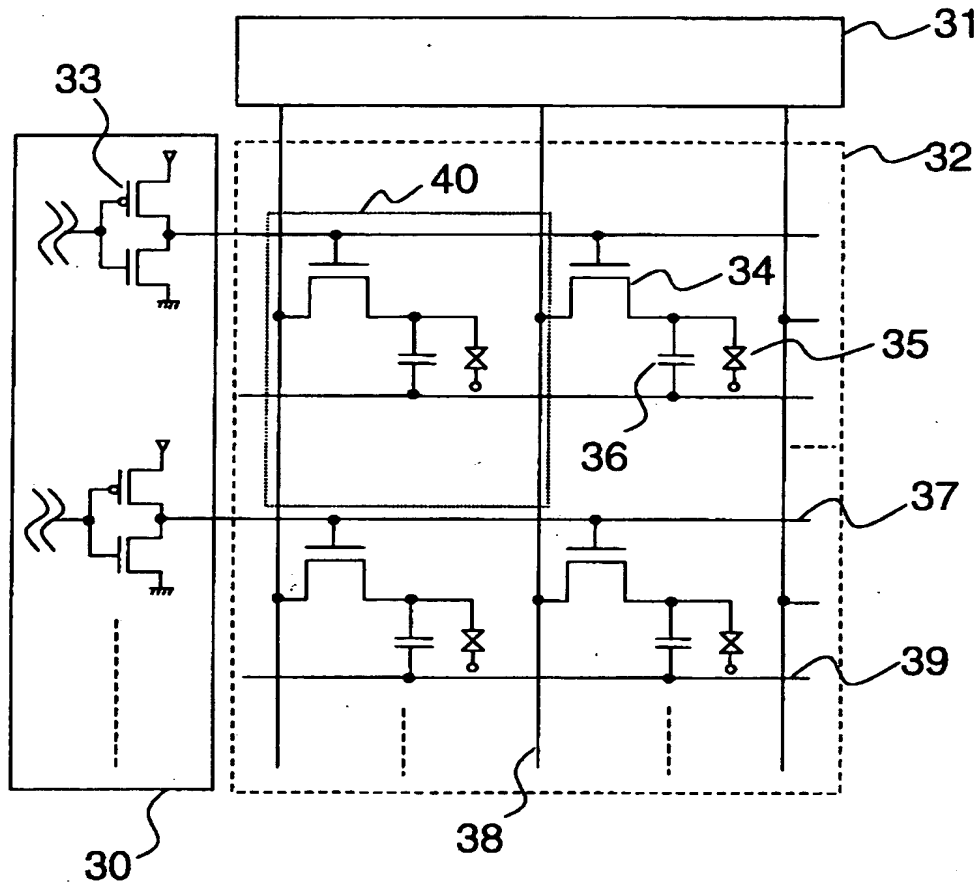
【図1】

図1



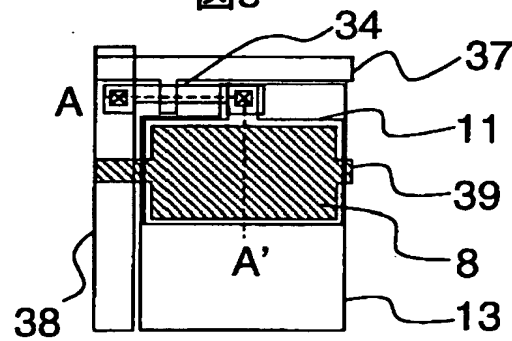
【図 2】

図2



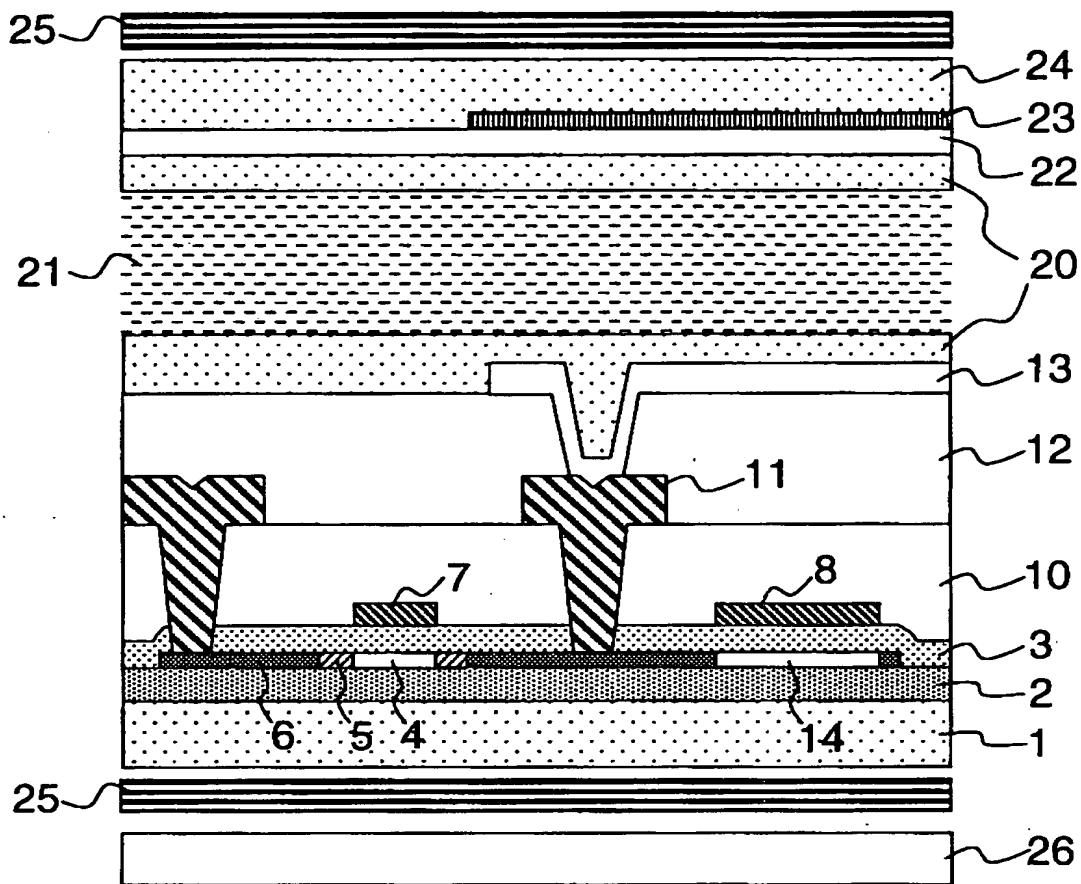
【図 3】

図3

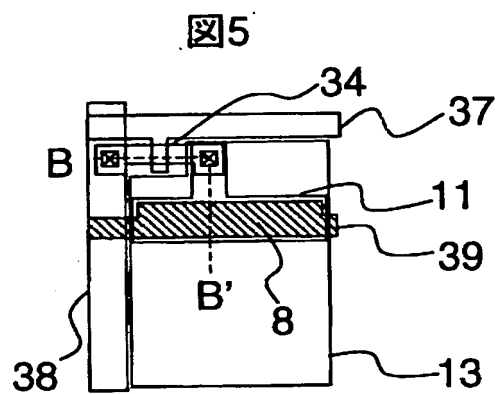


【図4】

図4

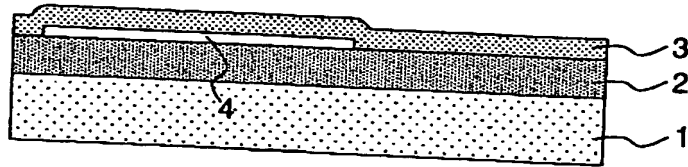


【図 5】

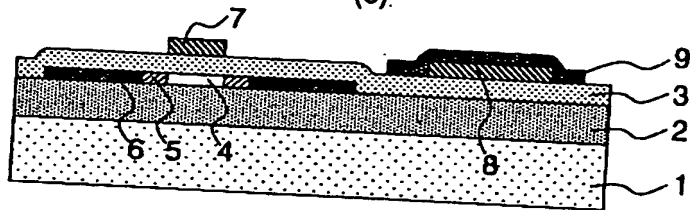


【図 6】

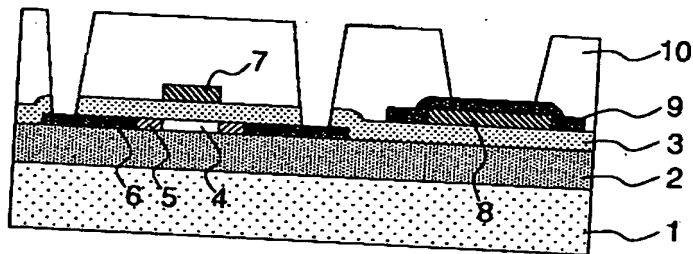
図6(a)



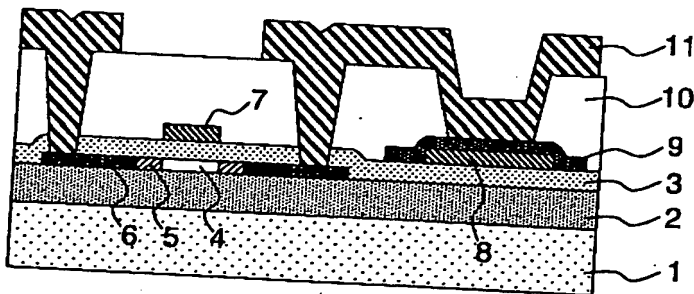
(c)



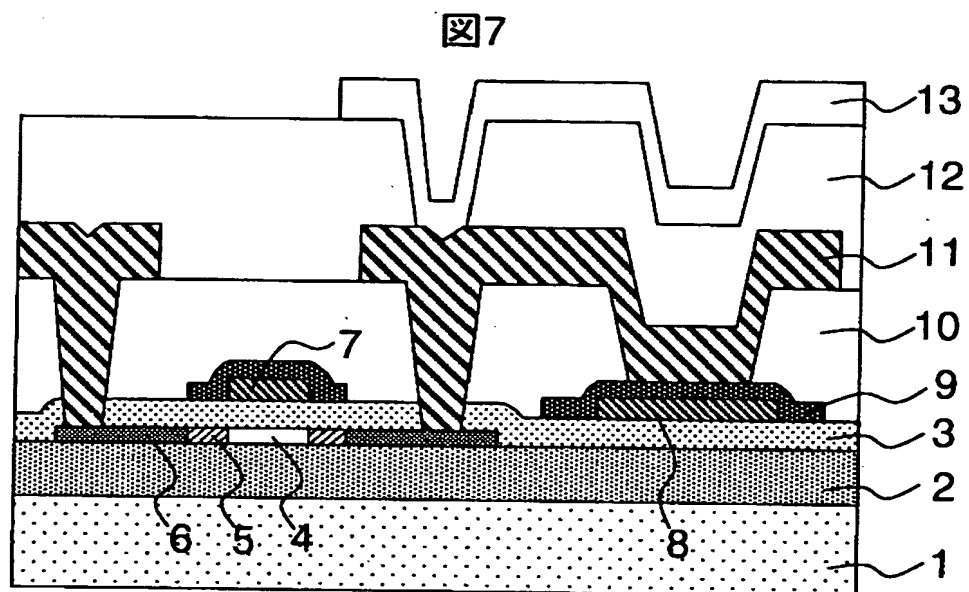
(d)



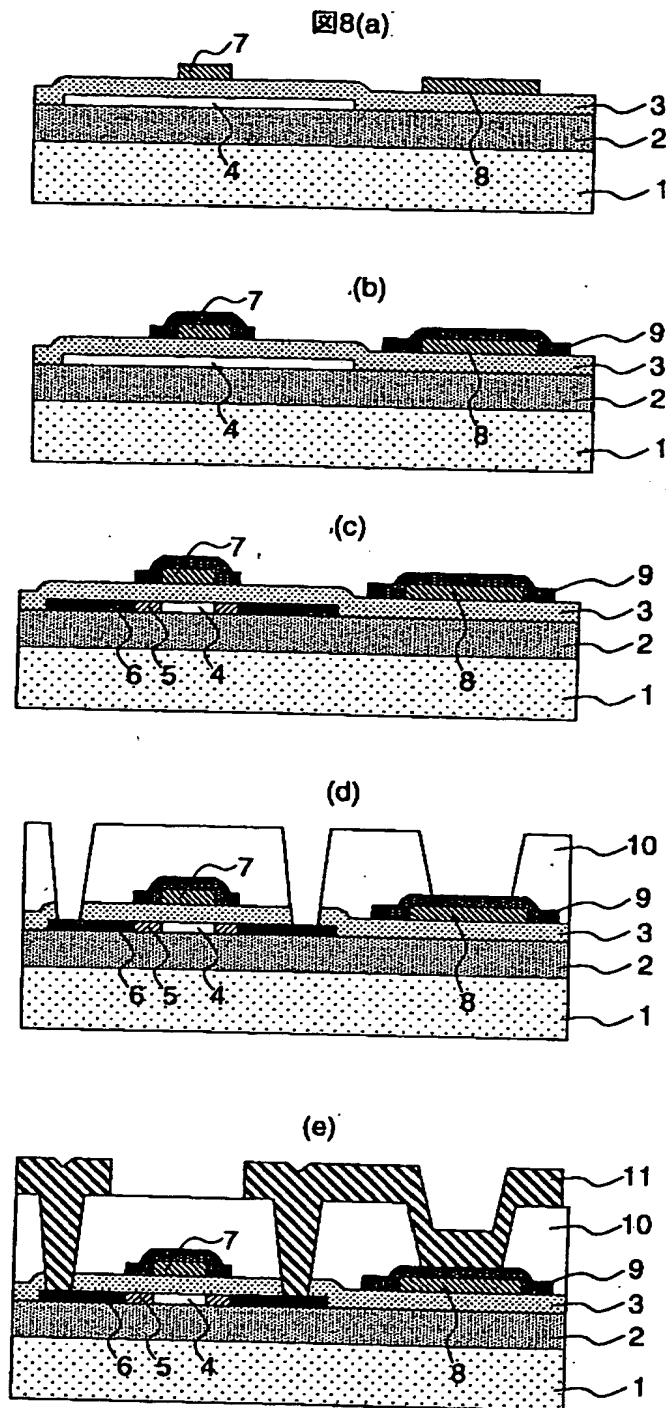
(e)



【図7】

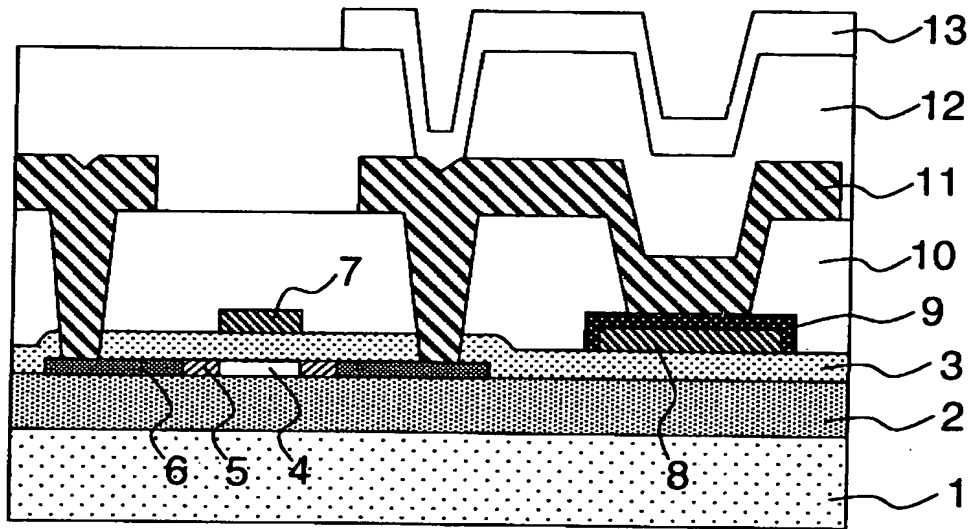


【図 8】

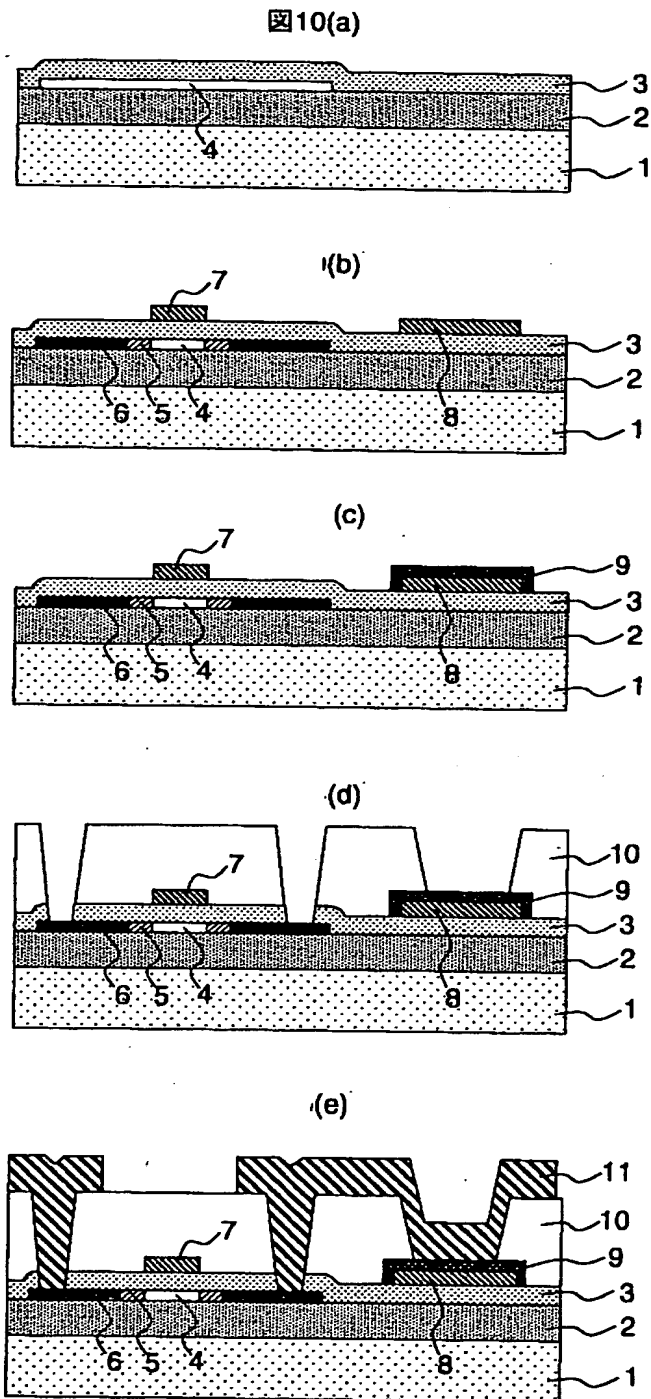


【図9】

図9

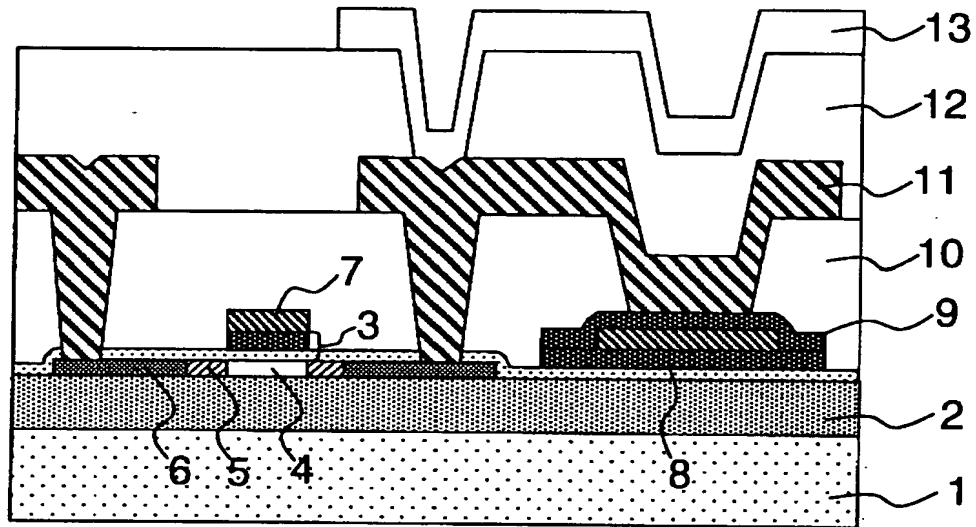


【図10】



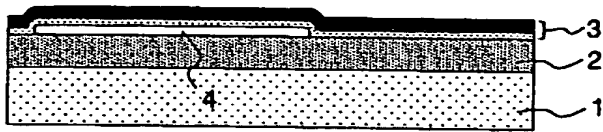
【図11】

図11

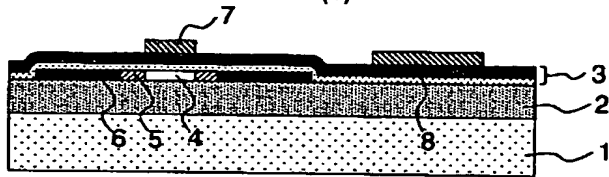


【図12】

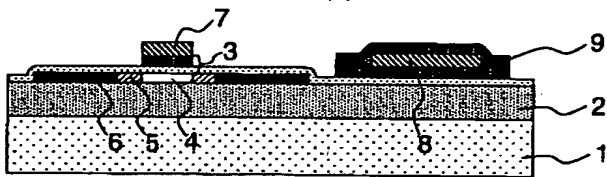
図12 (a).



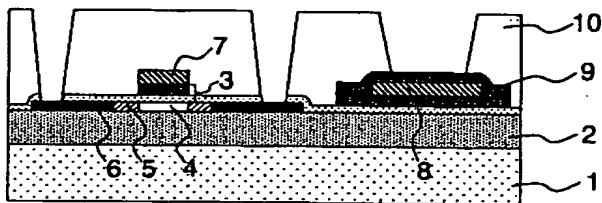
(b)



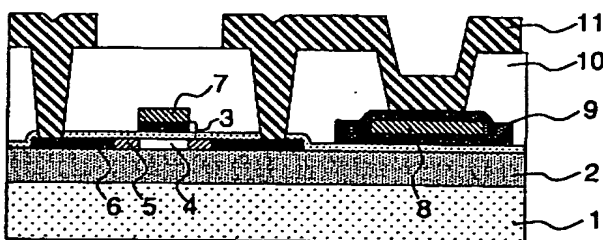
(c)



(d)

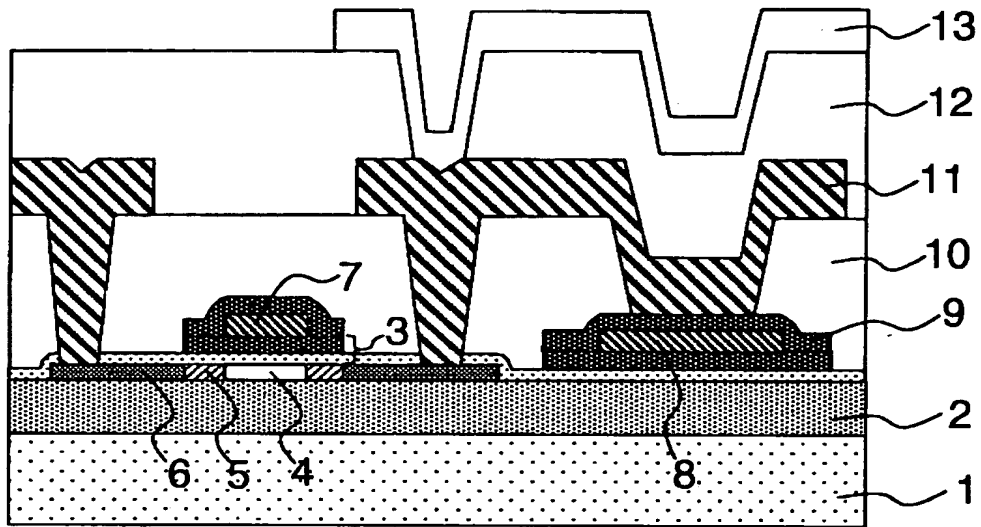


(e)

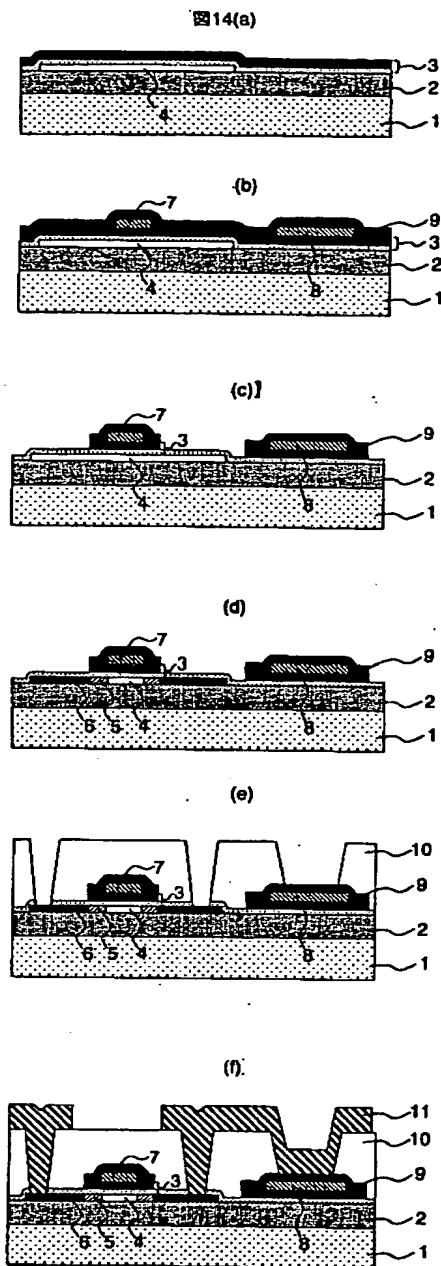


【図13】

図13

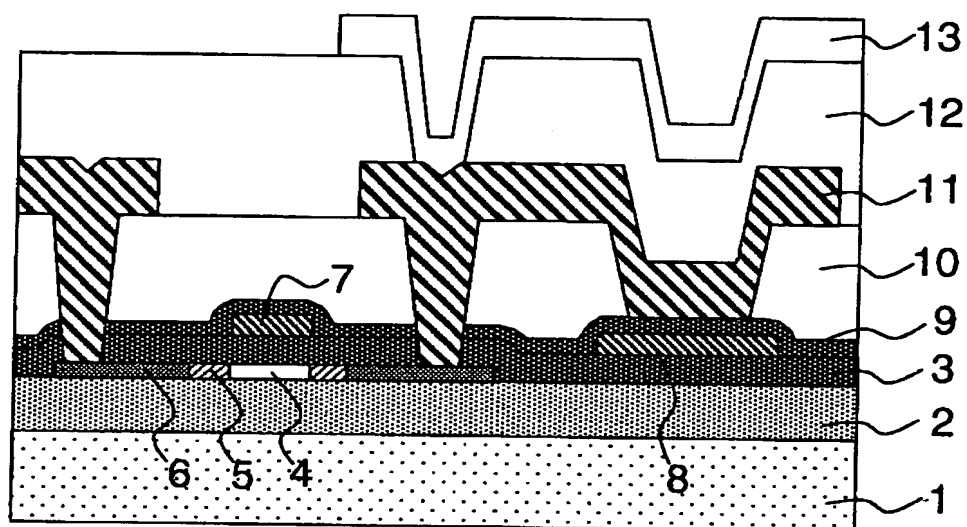


【図 14】



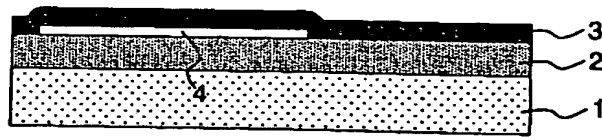
【図 1 5】

図15

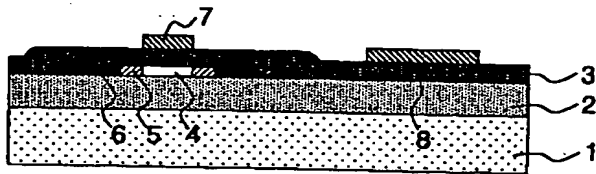


【図 16】

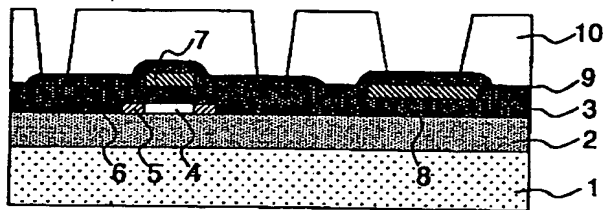
図16 (a)



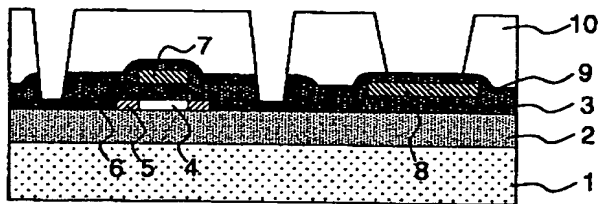
(b)



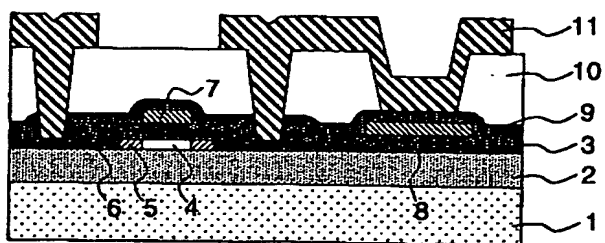
(c)



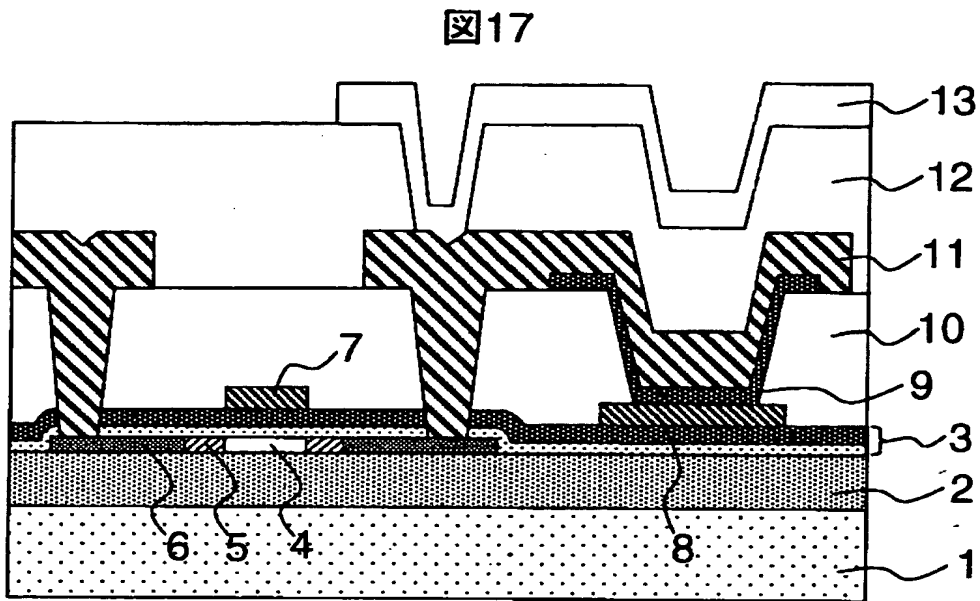
(d)



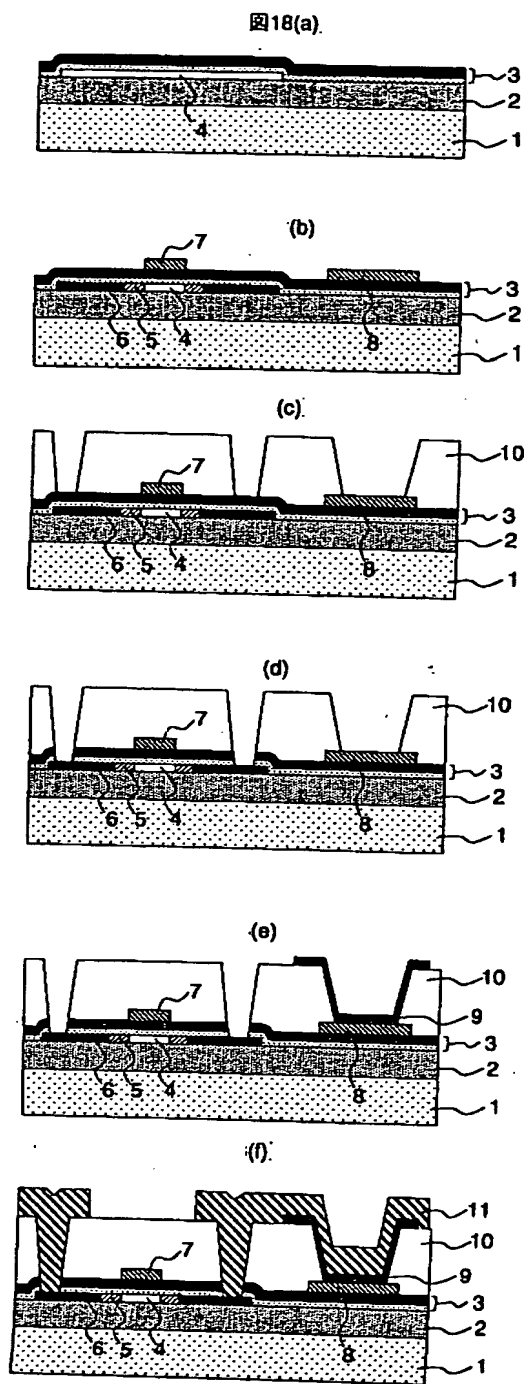
(e)



【図 17】

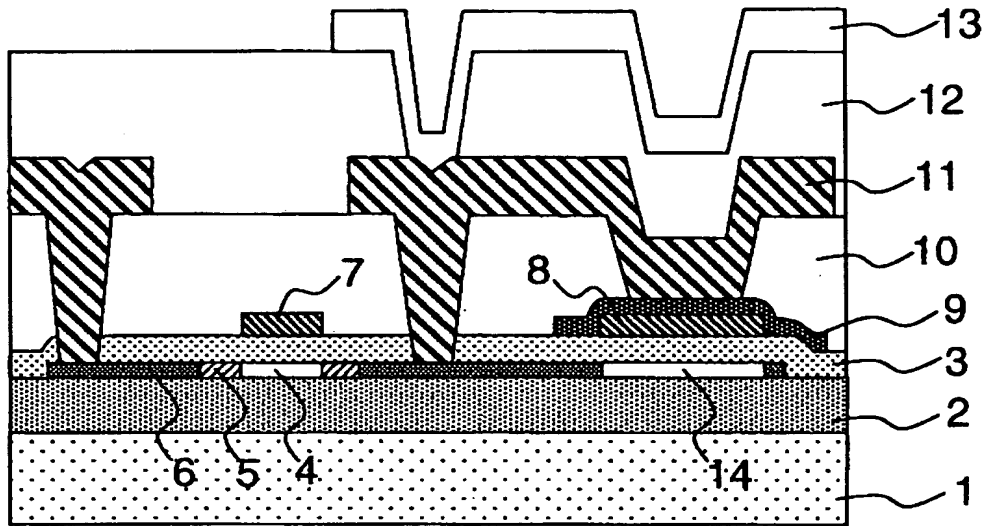


【図 18】



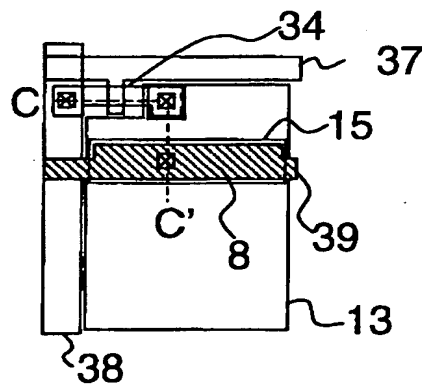
【図19】

図19



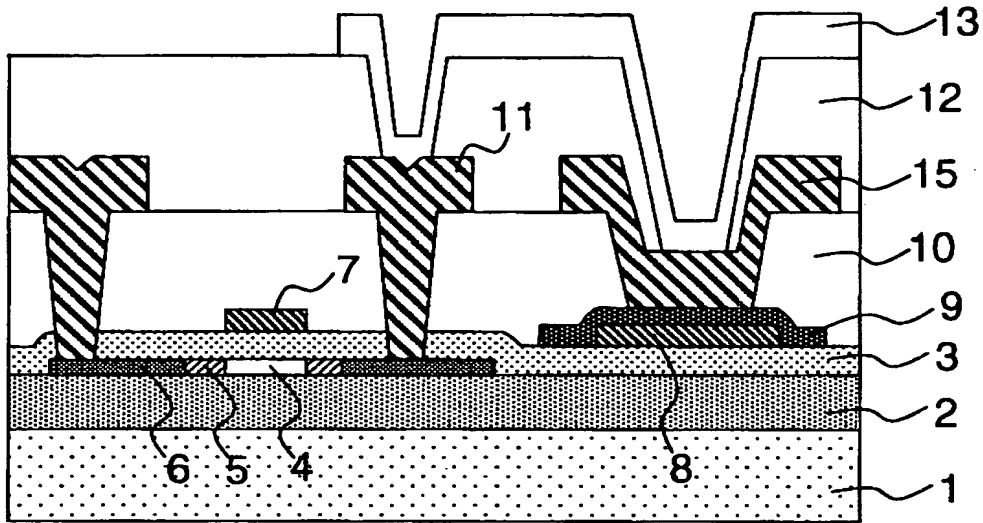
【図20】

図20



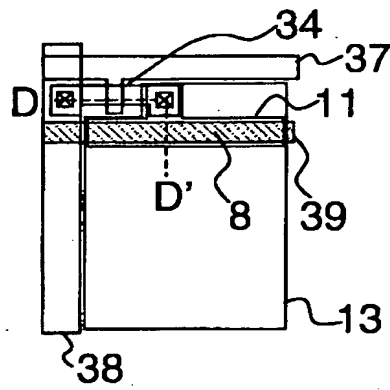
【図 2 1】

図21



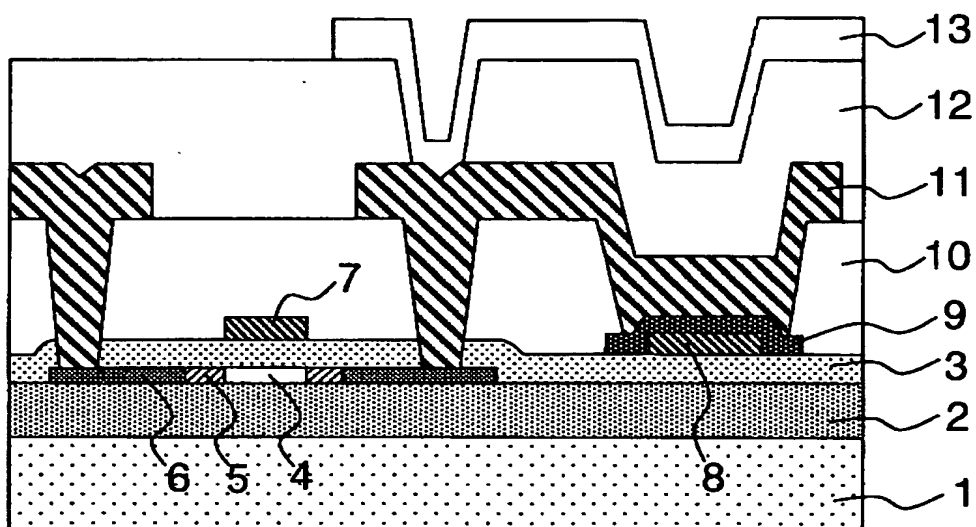
【図 2 2】

図22



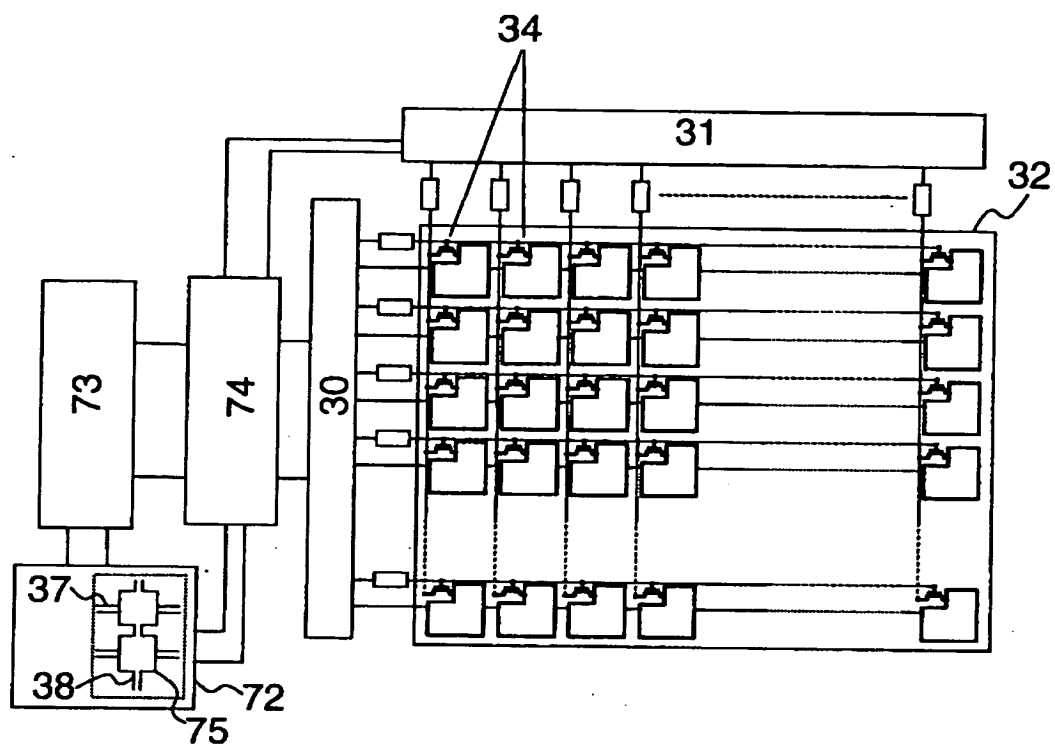
【図 2 3】

図23

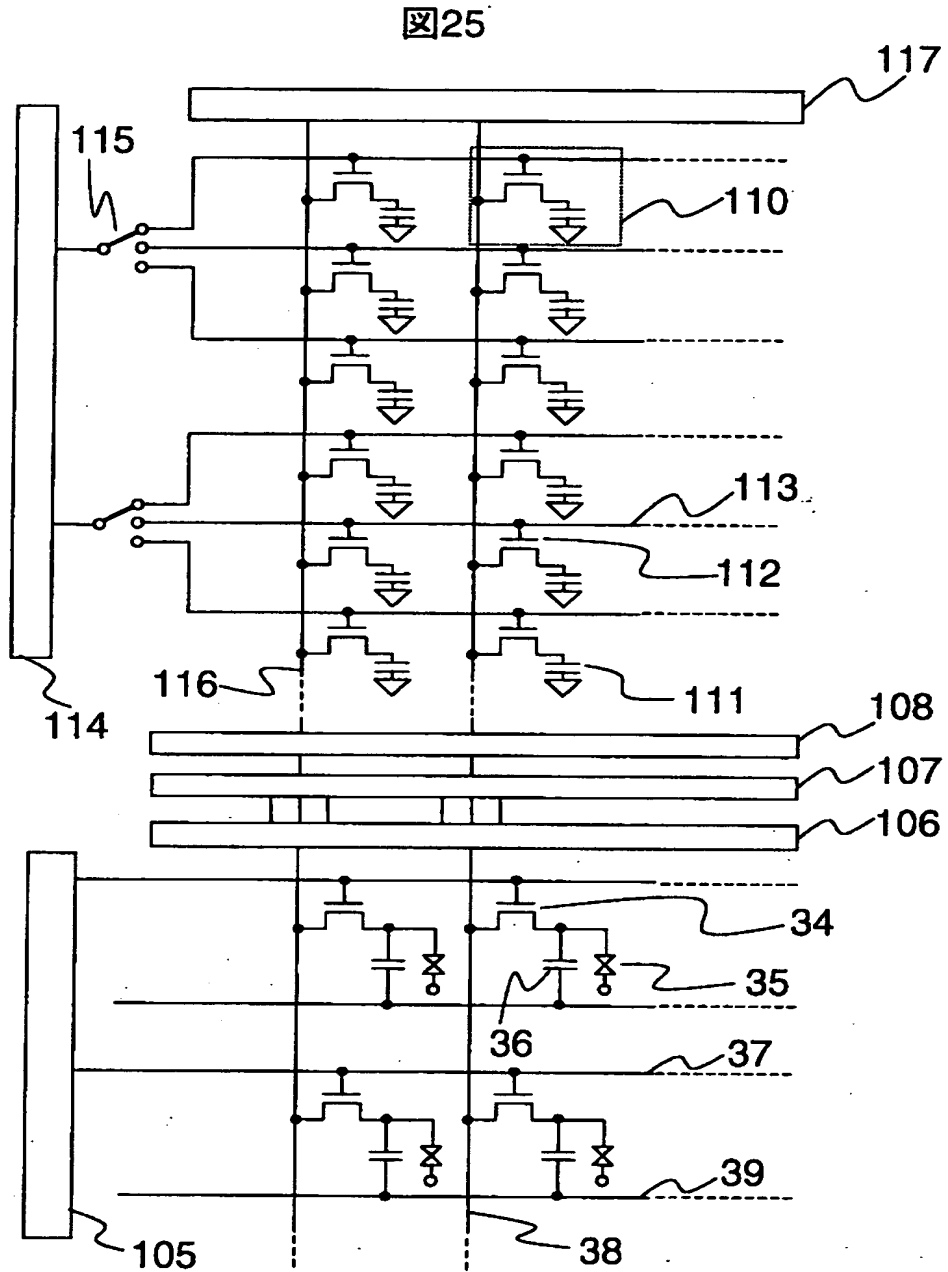


【図 2 4】

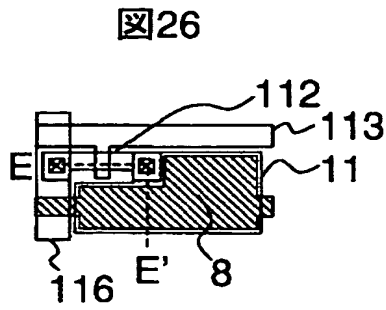
図24



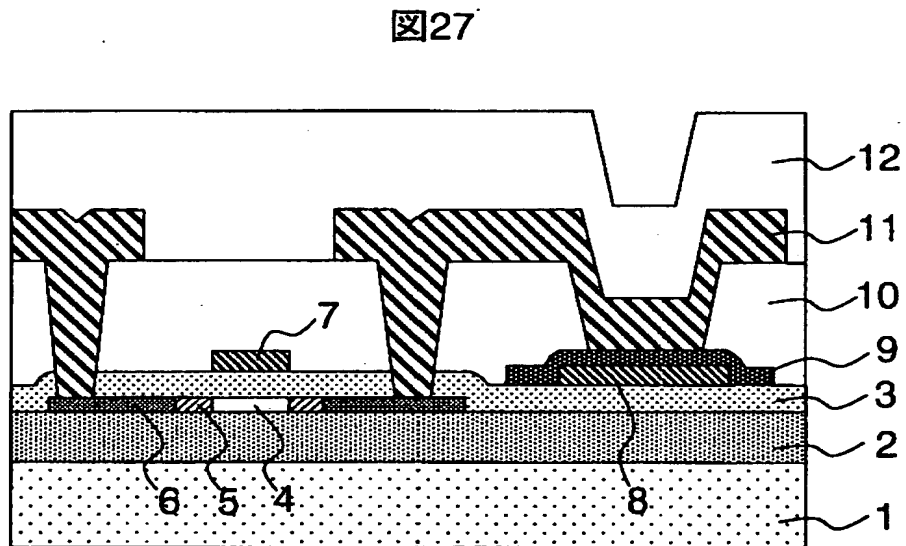
【図 25】



【図 26】

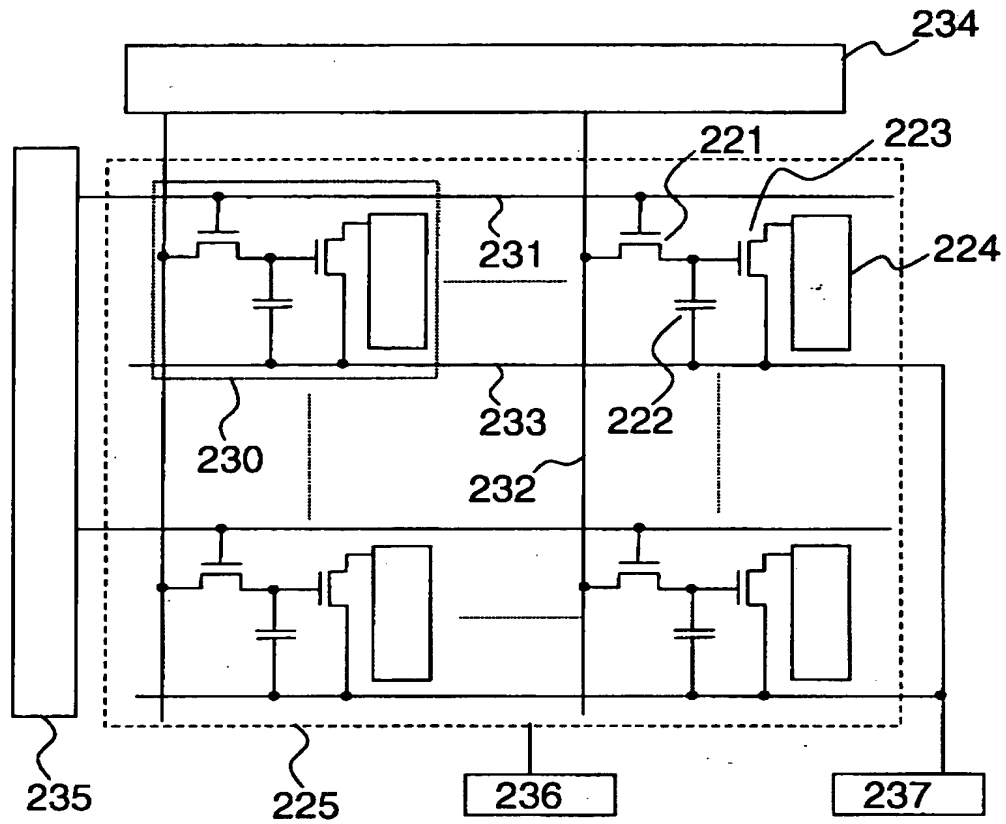


【図 27】

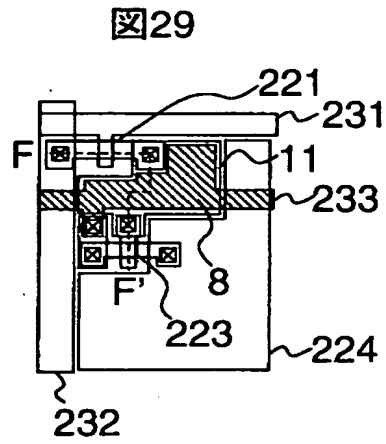


【図 28】

图28

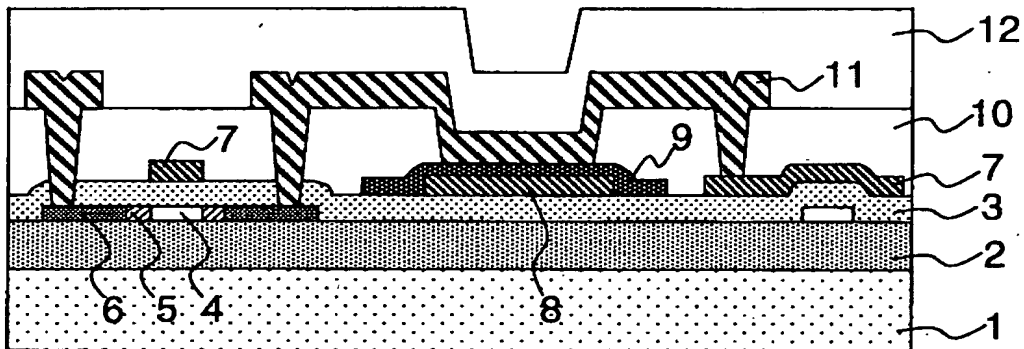


【図 29】



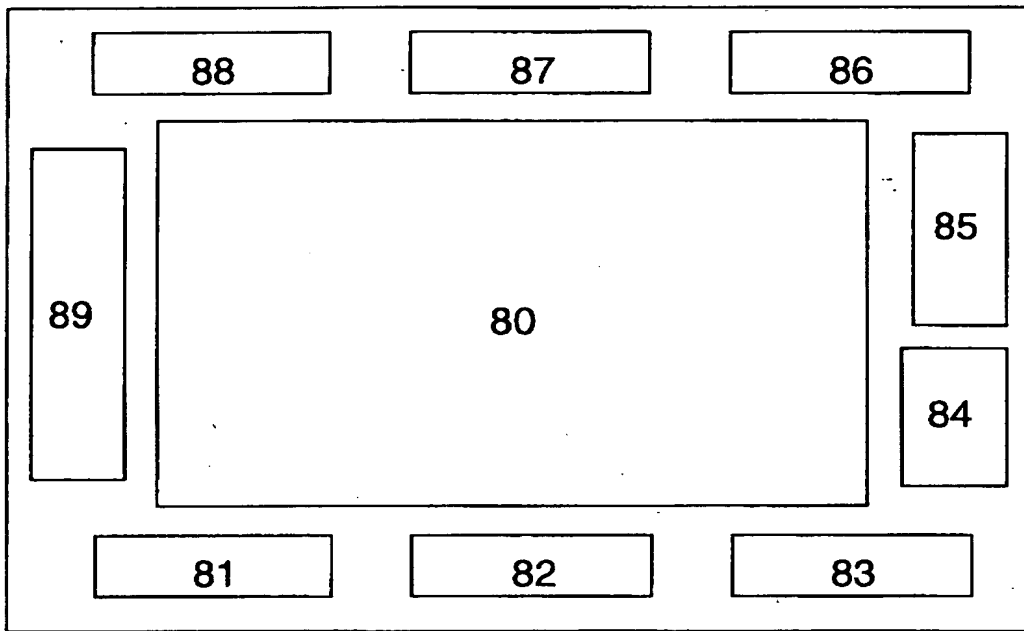
【図 30】

図30



【図 3 1】

図31



【書類名】 要約書

【要約】

【課題】 コントラストが高く、かつ製造コストの低い画像表示装置を提供すること。

【解決手段】 基板上に、複数のゲート線と、該複数のゲート線にマトリクス状に交差する複数の信号線とを有し、ソース領域、ドレイン領域、及びそれらに挟まれたチャネル領域を有する島状半導体層と、該島状半導体層と前記ゲート線と同層のゲート電極との間に形成された第1の絶縁膜と、前記島状半導体層上方に形成された層間絶縁膜と、該層間絶縁膜に設けられた開口部を通して前記ソース領域及び前記ドレイン領域と接触する信号線と同層のソース電極及びドレイン電極とを有する薄膜トランジスタとを有し、前記容量素子は、前記ゲート線と同層の保持電極と、該保持電極上に接して形成された絶縁膜と、該絶縁膜上に接して形成された前記信号線と同層の電極とで構成されている画像表示装置とする。

【効果】 コントラストが高く、かつ製造コストの低い画像表示装置を提供できる。

【選択図】 図1

特 2001-125219

認定・付加情報

特許出願の番号	特願2001-125219
受付番号	50100596012
書類名	特許願
担当官	第一担当上席 0090
作成日	平成13年 4月25日

<認定情報・付加情報>

【提出日】	平成13年 4月24日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所